

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-212637

(43)Date of publication of application : 15.08.1997

(51)Int.Cl.

G06T 1/20

G06F 9/38

G06T 1/60

(21)Application number : 08-019022

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.02.1996

(72)Inventor : MATOBA NARIHIRO

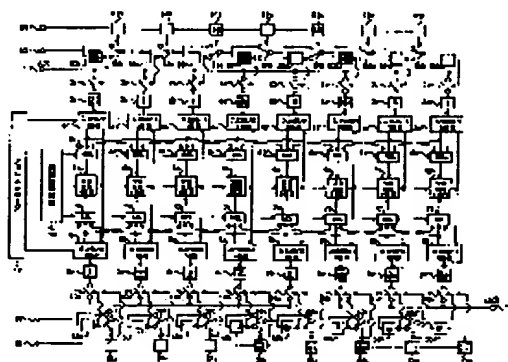
AOKI TORU

(54) IMAGE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To easily move pixels in the horizontal direction and also to effectively magnify an image in an optional rate in the horizontal direction in particular by producing an instruction to input plural types of data to a serial/parallel converter in a designation array form that is necessary for the processing of processor elements.

SOLUTION: A magnification pattern registration input terminal 50 serves as a signal terminal that decides one of registers 31 to 38 that is connected to a specific processor element to store every pixel data of the image data before these image data are inputted. The input signals are sequentially set at the flip-flops 511 to 517 which construct a magnification pattern registration shift register. This shift register serves as an input position setting means. When the necessary number of flip-flops are set, the setting mode ends. Then, this magnification pattern is held until it is changed next.



LEGAL STATUS

[Date of request for examination] 20.01.2003

[Date of sending the examiner's decision of rejection] 11.04.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3843477

[Date of registration] 25.08.2006

[Number of appeal against examiner's decision of rejection] 2006-09559

[Date of requesting appeal against examiner's decision of rejection] 11.05.2006

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-212637

(43) 公開日 平成9年(1997)8月15日

(51) Int. Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 1/20			G 0 6 F 15/66	K
G 0 6 F 9/38	3 7 0		9/38	3 7 0 A
G 0 6 T 1/60			15/64	4 5 0 F

審査請求 未請求 請求項の数12 O L (全 27 頁)

(21) 出願番号 特願平8-19022

(22) 出願日 平成8年(1996)2月5日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 的場 成浩

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 青木 透

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

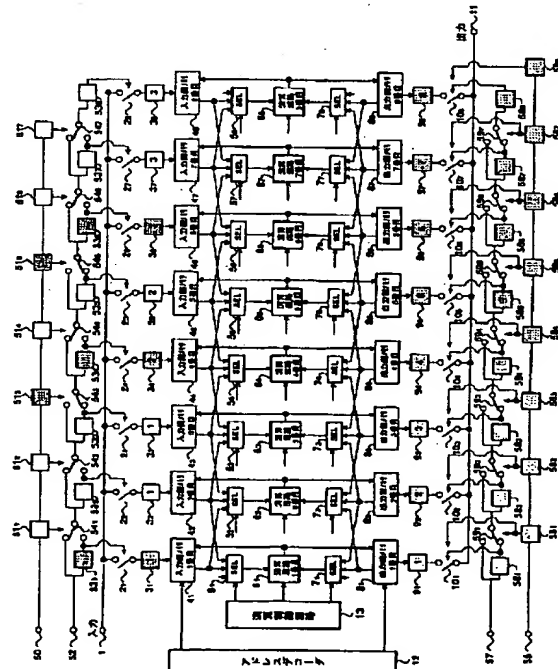
(74) 代理人 井理士 宮田 金雄 (外3名)

(54) 【発明の名称】 画像処理プロセッサ

(57) 【要約】

【課題】 従来の並列プロセッサでは、任意の間隔で画素密度の変換（画素の格納、読み出し）が行えなず、任意倍率での変倍処理が容易に行えない。

【解決手段】 各プロセッサエレメントに格納された画素データを、ラスタ単位で移動する際に、入力側において任意の間隔で画素を格納するプロセッサエレメントの位置を指定できる機構と、出力側で任意の間隔でプロセッサエレメントから読み出す位置を指定できる機構を備える。



【特許請求の範囲】

【請求項1】 入力端子からシリアルに入力されてくる複数のデータをシリアル/パラレル変換器に入力し、上記シリアル/パラレル変換器の出力を複数のプロセッサエレメントに並列に供給し、これらのデータを上記プロセッサエレメントにて演算処理し、上記プロセッサエレメントから並列に出力される演算処理された複数のデータをパラレル/シリアル変換器に並列に入力し、上記パラレル/シリアル変換器の出力を出力端子から出力する並列プロセッサにおいて、上記入力端子から入力されるデータを、上記プロセッサエレメントの演算処理内容に応じた指定の並びで上記シリアル/パラレル変換器への入力を指示する入力位置設定手段を設けたことを特徴とする画像処理プロセッサ。

【請求項2】 上記シリアル/パラレル変換器は、上記入力端子より入力されてくるデータを上記プロセッサエレメントに供給するための記憶手段と、上記入力位置設定手段の出力により上記入力されたデータをこの記憶手段のどの位置に格納するかを選択する記憶位置選択手段とを備えたことを特徴とする請求項1記載の画像処理プロセッサ。

【請求項3】 入力端子からシリアルに入力されてくる複数のデータをシリアル/パラレル変換器に入力し、上記シリアル/パラレル変換器の出力を複数のプロセッサエレメントに並列に供給し、これらのデータを上記プロセッサエレメントにて演算処理し、上記プロセッサエレメントから並列に出力される演算処理された複数のデータをパラレル/シリアル変換器に並列に入力し、上記パラレル/シリアル変換器の出力を出力端子から出力する並列プロセッサにおいて、上記パラレル/シリアル変換器から上記出力端子に出力されるデータを、上記プロセッサエレメントの演算処理内容に応じた指定の並びで出力される出力位置設定手段を設けたことを特徴とする画像処理プロセッサ。

【請求項4】 上記パラレル/シリアル変換器は、上記複数のプロセッサエレメントから出力された複数のデータを格納する記憶手段と、上記出力位置設定手段の出力によりこの記憶手段に格納されたデータの中でどのデータを読み出すかを選択する読み出し位置選択手段とを備えたことを特徴とする請求項3記載の画像処理プロセッサ。

【請求項5】 入力端子からシリアルに入力されてくる複数のデータをシリアル/パラレル変換器に入力し、上記シリアル/パラレル変換器の出力を複数のプロセッサエレメントに並列に供給し、これらのデータを上記プロセッサエレメントにて演算処理し、上記プロセッサエレメントから並列に出力される演算処理された複数のデータをパラレル/シリアル変換器に並列に入力し、上記パラレル/シリアル変換器の出力を出力端子から出力する並列プロセッサにおいて、上記入力端子から入力される

データを、上記プロセッサエレメントの演算処理内容に応じた指定の並びで上記シリアル/パラレル変換器への入力を指示する入力位置設定手段と、上記プロセッサエレメントが上記演算処理とは異なる演算処理をする場合に上記パラレル/シリアル変換器から上記出力端子に出力されるデータを、上記プロセッサエレメントの異なる演算処理内容に応じた指定の並びで出力される出力位置設定手段とを設けたことを特徴とする画像処理プロセッサ。

【請求項6】 入力端子からシリアルに入力されてくる複数のデータをシリアル/パラレル変換器に入力し、上記シリアル/パラレル変換器の出力を複数のプロセッサエレメントに並列に供給し、これらのデータを上記プロセッサエレメントにて演算処理し、上記プロセッサエレメントから並列に出力される演算処理された複数のデータをパラレル/シリアル変換器に並列に入力し、上記パラレル/シリアル変換器の出力を出力端子から出力する並列プロセッサにおいて、上記プロセッサエレメントで前演算処理された出力をパラレル/シリアル変換して格納し、格納データをシリアルに出力する第1のデータ転送フィールドと、この第1のデータ転送フィールドから出力されたシリアルデータをシリアル/パラレル変換して格納し、このパラレルデータを上記複数のプロセッサエレメントに並列に入力する第2のデータ転送フィールドとを備え、上記第1のデータ転送フィールドまたは第2のデータ転送フィールドは上記プロセッサエレメントの後演算処理内容に応じた指定の並びでデータを格納する構成にされたことを特徴とする画像処理プロセッサ。

【請求項7】 上記複数のプロセッサエレメントにそれぞれ対応し上記シリアル/パラレル変換器の出力を上記複数のプロセッサエレメントに供給すると共に、上記複数のプロセッサエレメントが前演算処理された出力を記憶する複数の入力側メモリを備え、上記第1のデータ転送フィールドはこの入力側メモリからのデータを入力してパラレル/シリアル変換し、格納するパラレル/シリアル変換器を有すると共に、入力位置選択用信号を入力し、上記第2のデータ転送フィールドは上記第1のデータ転送フィールドからシリアルに入力されてくる複数のデータをシリアル/パラレルに変換するシリアル/パラレル変換器を有し、上記入力位置選択用信号により、上記プロセッサエレメントの後演算処理内容に応じた指定の並びで上記入力側メモリに出力可能にシリアル/パラレル器に格納する構成にされたこと特徴とする請求項6に記載の画像処理プロセッサ。

【請求項8】 上記複数のプロセッサエレメントにそれぞれ対応し、上記プロセッサエレメントから並列に出力される後演算処理された複数のデータを上記パラレル/シリアル変換器に出力すると共に、上記複数のプロセッサエレメントが前演算処理された出力を記憶する複数の出力側メモリを備え、上記第1のデータ転送フィールド

はこの出力側メモリからのデータを入力し、シリアル／シリアル変換し、上記プロセッサエレメントの後演算処理内容に応じた指定の並びで格納するシリアル／シリアル変換器を有し、上記第2のデータ転送フィールドは上記第1のデータ転送フィールドからシリアルに入力されてくる複数のデータをシリアル／パラレルに変換して、格納するシリアル／パラレル変換器を有し、上記出力側メモリに並列に出力する構成にされたこと特徴とする請求項6に記載の画像処理プロセッサ。

【請求項9】 入力端子からシリアルに入力されてくる複数のデータをシリアル／パラレル変換器に入力し、上記シリアル／パラレル変換器の出力を複数のプロセッサエレメントに並列に供給し、これらのデータを上記プロセッサエレメントにて演算処理し、上記プロセッサエレメントから並列に出力される演算処理された複数のデータをシリアル／シリアル変換器に並列に入力し、上記シリアル／シリアル変換器の出力を出力端子から出力する並列プロセッサにおいて、上記プロセッサエレメントの出力をシリアル／シリアル変換して格納するシリアル／シリアル変換器を有すると共に、出力位置選択用信号を入力可能とし、上記プロセッサエレメントから出力したパラレルデータを出力位置選択用信号の指定の並びでシリアルに出力する第1のデータ転送フィールドと、上記第1のデータ転送フィールドから出力されたシリアルデータをシリアル／パラレル変換して、格納するシリアル／パラレル変換器を有すると共に、入力位置選択用信号を入力可能とし、上記第1のデータ転送フィールドから出力したシリアルデータを出力位置選択用信号の指定の並びで、上記複数のプロセッサエレメントに並列に入力できる第2のデータ転送フィールドとを備えたことを特徴とする画像処理プロセッサ。

【請求項10】 上記第1及び第2のデータ転送フィールドが、それぞれ複数の分割され、分割された複数の第1及び第2のデータ転送フィールドはそれぞれ平行して動作すること特徴とする請求項6乃至請求項9の何れかに記載の画像処理プロセッサ。

【請求項11】 上記シリアル／パラレル変換器がシフトレジスタで構成されていることを特徴とする請求項1乃至請求項10に記載の画像処理プロセッサ。

【請求項12】 上記パラレル／シリアル変換器がシフトレジスタで構成されていることを特徴とする請求項1乃至請求項10に記載の画像処理プロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像データのデジタル処理等に用いられる、並列画像処理プロセッサに関するものである。

【0002】

【従来の技術】 図12は、例えば特開平6-83787号公報に記載されている並列プロセッサの構成を、図1

3は、例えば特開平-83786号公報に記載されている並列プロセッサの構成を示すブロック図である。

【0003】 第1の従来例である図12に示される並列プロセッサは、2タップのフィルタ処理を効率良く実現できるデータ入出力機構を備えたものである。各画素がそれぞれ複数ビットで構成される画像データがワード（画素）シリアルで入力端子1に供給され、1水平期間（1H）分の容量（M）を有する入力用シリアル／パラレル変換器内のM個のレジスタ（R）31～3Mにそれぞれスイッチ21～2Mを通じて格納される。この入力用シリアル／パラレル変換器内のレジスタ31～3MがそれぞれM個の入力側メモリ41～4Mに接続されている。

【0004】 またM個の演算回路61～6Mには、それぞれ対応する入力メモリとその両隣の入力側メモリからのデータがセクタ（SEL）51～5Mを介して供給され、さらにM個ある出力側メモリ81～8Mとその両隣の出力側メモリからのデータもセクタ（SEL）71～7Mを介して供給される。

【0005】 さらに各演算回路61～6Mからの出力結果は、入力側メモリ41～4Mあるいは出力側メモリ81～8Mに書き込まれる。

【0006】 また出力側メモリ81～8Mがそれぞれ出力用パラレル／シリアル変換器内のM個のレジスタ（R）91～9Mに接続されている。そしてこの出力用パラレル／シリアル変換器内のレジスタ（R）91～9Mからそれぞれスイッチ101～10Mを通じて、例えば各画素がそれぞれ複数ビットで構成される演算処理された画像データがワード（画素）シリアルで出力端子11に出力される。

【0007】 従って、水平期間毎に入力用シフトレジスタ内のレジスタ31～3Mに供給された画像データは、その後水平ブランキング期間内に入力側メモリ41～4Mに書き込まれる。この入力側メモリ41～4Mに書き込まれたデータが次の1水平期間の間に演算回路61～6Mに供給され、演算処理された値が出力側メモリ81～8Mに書き込まれる。そしてその後の水平ブランキング期間内に、出力側メモリ81～8Mのデータが出力用シフトレジスタ内のレジスタ91～9Mに書き込まれ、各水平期間毎に演算処理された画像データが取り出される。このようにして画像データのデジタル処理が行われる。

【0008】 また入力側メモリ41～4M及び出力側メモリ81～8Mのアドレスを制御するアドレスデコーダ12と、演算回路61～6Mでの演算を制御するため及びセクタ51～5M、71～7Mを制御するための演算制御回路13は、それぞれ1つのみであり、M個全ての入力側、出力側メモリ及び演算回路に共通のものである。

【0009】 すなわち、図12はSIMD（Single Instruction Multiple Data）方式のプロセッサである。画像処理は、全ての画素に対し同じ演算処理をすることが多いため、全ての演算回路に同一の命令を与えるSIMD方式は

制御回路が1つで済み回路規模が小さくなる利点がある。

【0010】図12は、このSIMD方式のプロセッサにおいて、データの入出力機構にデータを固定の間隔で制御できる機構を付加したものである。すなわち、入力用シリアル/パラレル変換器は2個間隔で出力することが可能な構成をとっている。スイッチ制御回路を構成するフリップフロップ(F..F)151~15M、171~17Mに加えて、フリップフロップ221~22M/2及び241~24M/2、271~27M/2及び291~29M/2が設けられ、これらのフリップフロップからの信号がセクタ251~25M、301~30Mを通じて取り出される。

【0011】そこで図12において、セクタ251~25M、301~30Mの接続を図のように左側にすることにより、2個間隔でスイッチ21~2M、101~10Mをオンすることができる。すなわちスイッチオン信号入力端子21、26から信号を入力すると、フリップフロップ221~22M/2、271~27M/2が縦続接続されているので、最初にフリップフロップ221、271から1番目のスイッチ21、101をオンするスイッチ制御信号が出力され、次にフリップフロップ222、272から3番目のスイッチ23、103をオンするスイッチ制御信号が出力され、順次この動作を繰り返し最後に22M/2、27M/2からM-1番目のスイッチ2M-1、10M-1をオンするスイッチ制御信号が出力される。

【0012】さらにスイッチオン信号入力端子23、28から信号を入力すると、フリップフロップ241~24M/2、291~29M/2が縦続接続されているので、最初にフリップフロップ241、291から2番目のスイッチ22、102をオンするスイッチ制御信号が出力され、次にフリップフロップ242、292(図示せず)から4番目のスイッチ24、104をオンするスイッチ制御信号が出力され、順次この動作を繰り返し最後にフリップフロップ24M/2、29M/2からM番目のスイッチ2M、10Mをオンするスイッチ制御信号が出力される。

【0013】また、図12においてセクタ251~25M、301~30Mを図とは逆側(右側)にすることにより、通常の順(1個間隔)でスイッチ21~2M、101~10Mをオンすることができる。すなわちスイッチオン信号入力端子14、16から信号を入力すると、フリップフロップ151~15M、171~17Mが縦続接続されているので、最初にフリップフロップ151、171から1番目のスイッチ21、101をオンするスイッチ制御信号が出力され、次にフリップフロップ152、172(図示せず)から2番目のスイッチ22、102をオンするスイッチ制御信号が出力され、順次この動作を繰り返し最後にフリップフロップ15M、17MからM番目のスイッチ2M、10Mをオンするスイッチ制御信号が出力される。

【0014】この従来の装置によれば、入力用シリアル

／パラレル変換器は2個間隔で出力し、また出力用パラレル／シリアル変換器も2個間隔で出力することを可能とするものであった。これは例えば1水平期間(1ラスタ)分のデータがM/2の時でも、縦方向の2タップフィルタ計算ができることを目的としていた。

【0015】第2の従来例である図13に示される並列プロセッサは、近傍にないプロセッサエレメント間でデータ転送を効率良く行うことを目的としたものである。これは、図13において転送用シフトレジスタ33、34を加えたものであるため、転送用シフトレジスタ33、34についての動作のみ説明する。

【0016】転送用シフトレジスタ33、34は、入力側メモリ41~4M、及び出力側メモリ81~8Mにそれぞれ1つずつある。入力側メモリ41~4Mから読み出されたデータ(M個)は、入力側転送用シフトレジスタ33に取り込まれ、図の横方向にデータはシフトされ、その後データは、入力側メモリ41~4Mに再び書き込まれる。従って、読み出された位置からシフトした分だけ隣のメモリ41~4Mに書き込まれる事になる。

【0017】出力側転送用シフトレジスタ34についても同様である。例えばM番目のデータをM-8番目とアクセスして演算したい場合は、転送用シフトレジスタ33、34を使用して、8個分データを右にシフトすることで所望のデータをM番目の入力側メモリ4Mあるいは出力側メモリ8Mに転送することができ、その後でM番目の演算回路6Mにて演算を行う。

【0018】さらに、図13におけるセクタ(SELa、SELb)1...Mがなく、M番目の演算回路6Mは、対応するM番目の入力側メモリ4M及びM番目の出力側メモリ8Mのみにしかアクセスできない構成でも同じである。その時は、M番目のデータをM-1番目に格納されているデータとアクセスして演算したい場合は、所望のデータを転送用シフトレジスタ33、34を用いてシフトしM番目の入力側メモリ4Mあるいは出力側メモリ8Mに転送して、その後でM番目の演算回路6Mにて先に記憶されているデータと転送されたデータとの演算を行う。

【0019】このように、第2の従来例では、データ転送用のシフトレジスタで近傍にない画素間のデータは固定の間隔で演算処理が行える。

【0020】

【発明が解決しようとする課題】画像データに対し拡大処理を施す方法として、入力時に拡大処理を行うには、倍率によって各画素間の間隔をそれぞれ変えてデータを入力すると効率の高い処理が行える。また、画像データに対し縮小処理を施す場合に、画像の出力時に縮小処理を行うには、倍率によって各画素間の間隔をそれぞれ変えてデータを出力すると効率の高い処理が行える。しかし従来の技術ではデータ入力時に画素密度を低下させる拡大処理あるいは画素密度を上げる縮小処理を行おうと

した場合、一定間隔での画像データの入出力あるいは、一定間隔での処理にしか対応できなかった。

【0021】

【課題を解決するための手段】請求項1に記載の本発明は、入力端子1からシリアルに入力されてくる複数のデータをシリアル/パラレル変換器に入力する際、プロセッサエレメントの処理に必要な指定の並びで上記シリアル/パラレル変換器へ入力させる指示を行なう入力位置設定手段を設けたことを特徴とする。

【0022】請求項2に記載の本発明のシリアル/パラレル変換器は、入力端子より入力されてくるデータをプロセッサエレメントに供給するための記憶手段と、上記入力位置設定手段の出力により上記入力されたデータをこの記憶手段のどの位置に格納するかを選択する記憶位置選択手段とを備えたことを特徴とする。

【0023】請求項3に記載の本発明は、プロセッサエレメントからパラレルに入力されてくる複数のデータをパラレル/シリアル変換器でシリアルに変換して出力端子に出力する際、プロセッサエレメントの処理に応じた指定の並びで出力端子に出力する指令をだす出力位置設定手段を備えたことを特徴とする。

【0024】請求項4に記載の本発明のパラレル/シリアル変換器は、プロセッサエレメントより出力されてくるデータを格納するための記憶手段と、上記出力位置設定手段の指令によりこの記憶手段からの出力をプロセッサエレメントの処理に応じてどの位置から読み出すかを選択する読みだし位置選択手段とを備えたことを特徴とする。

【0025】請求項5に記載の本発明は、入力端子1からシリアルに入力されてくる複数のデータをシリアル/パラレル変換器に入力する際、プロセッサエレメントの処理に必要な指定の並びで上記シリアル/パラレル変換器へ入力させる指示を行なう入力位置設定手段と、プロセッサエレメントが上記とは異なる処理をする場合は上記プロセッサエレメントからパラレルに入力されてくる複数のデータをパラレル/シリアル変換器でシリアルに変換して出力端子に出力する際、プロセッサエレメントの異なる処理に応じた指定の並びで出力端子に出力する指令をだす出力位置設定手段を備えたことを特徴とする。

【0026】請求項6に記載の本発明は、一旦入力されてプロセッサエレメントで前処理を施されているメモリ上の画像データをパラレル/シリアル変換して格納し、格納データをシリアルに出力する第1のデータ転送フィールドと、この第1のデータ転送フィールドから出力されたシリアルデータをシリアル/パラレル変換して格納し、このパラレルデータを上記複数のプロセッサエレメントに並列に入力する第2のデータ転送フィールドとを備え、上記第1のデータ転送フィールドまたは第2のデータ転送フィールドの何れかは上記プロセッサエレメン

トの後演算処理内容に応じた指定の並びで出力することを特徴とする。

【0027】請求項7に記載の本発明は、上記複数のプロセッサエレメントにそれぞれ対応し上記シリアル/パラレル変換器の出力を上記複数のプロセッサエレメントに供給すると共に、上記複数のプロセッサエレメントが前演算処理された出力を記憶する複数の入力側メモリを備え、上記第1のデータ転送フィールドはこの入力側メモリからのデータを入力してパラレル/シリアル変換し、格納するパラレル/シリアル変換器を有すると共に、入力位置選択用信号を入力し、上記第2のデータ転送フィールドは上記第1のデータ転送フィールドからシリアルに入力されてくる複数のデータをシリアル/パラレルに変換するシリアル/パラレル変換器を有し、上記入力位置選択用信号により、上記プロセッサエレメントの後演算処理内容に応じた指定の並びで上記入力側メモリに出力可能にシリアル/パラレル器に格納する構成にされたこと特徴とする。

【0028】請求項8に記載の本発明は、上記複数のプロセッサエレメントにそれぞれ対応し、上記プロセッサエレメントから並列に出力される後演算処理された複数のデータを上記パラレル/シリアル変換器に出力すると共に、上記複数のプロセッサエレメントが前演算処理された出力を記憶する複数の出力側メモリを備え、上記第1のデータ転送フィールドはこの出力側メモリからのデータを入力しパラレル/シリアル変換し、格納するパラレル/シリアル変換器を有すると共に、出力位置選択用信号を入力し上記プロセッサエレメントの後演算処理内容に応じた指定の並びで出力し、上記第2のデータ転送フィールドは上記第1のデータ転送フィールドからシリアルに入力されてくる複数のデータをシリアル/パラレルに変換するシリアル/パラレル変換器を有し、上記出力側メモリに並列に出力する構成にされたこと特徴とする。

【0029】請求項9に記載の本発明は、上記プロセッサエレメントの出力をパラレル/シリアル変換して格納するパラレル/シリアル変換器を有すると共に、出力位置選択用信号を入力可能とし、上記プロセッサエレメントから出力したパラレルデータを出力位置選択用信号の指定の並びでシリアルに出力する第1のデータ転送フィールドと、上記第1のデータ転送フィールドから出力されたシリアルデータをシリアル/パラレル変換して、格納するシリアル/パラレル変換器を有すると共に、入力位置選択用信号を入力可能とし、上記第1のデータ転送フィールドから出力したシリアルデータを入力位置選択用信号の指定の並びで、上記複数のプロセッサエレメントに並列に入力できる第2のデータ転送フィールドとを備えたことを特徴とする。

【0030】請求項10に記載の本発明は、上記第1及び第2のデータ転送フィールドが、それぞれ複数の分割

され、分割された複数の第1及び第2のデータ転送フィールドはそれぞれ平行して動作することを特徴とする。

【0031】請求項11に記載の本発明は、シリアル／パラレル変換器のパターン発生用シフトレジスタがデータ入力レジスタであることを特徴とする。

【0032】請求項12に記載の本発明は、パラレル／シリアル変換器のパターン発生用シフトレジスタがデータ出力レジスタであることを特徴とする。

【0033】

【発明の実施の形態】

実施の形態1. 本発明の第1の実施形態を図1に基づき説明する。図1では簡単のためプロセッサエレメントの数を8個（従来例ではM個）とし、入力画像を8／3倍に拡大する例を用い、本発明の特徴的部分であるデータ入力機構とその動作について説明する。その他の部分は従来装置と同様な構成、動作である。尚、図中各フリップフロップに入力されるクロック信号は省略している。

【0034】拡大パターン登録用入力端子50は、画像データを入力する前に予め入力した画像データの各画素データをどのプロセッサエレメントに接続されるレジスタ31～38に格納するかを決める信号用端子である。この入力信号は拡大パターン登録用シフトレジスタを構成するフリップフロップ511～517（以下入力パターン用フリップフロップ）にシーケンシャルに設定される。この拡大パターン登録用シフトレジスタが入力位置設定手段になる。必要なフリップフロップ数の設定が終わると、設定モードを終了しこのパターンは次にパターン変更がないかぎり保持される。本実施形態では8／3倍パターンの一例が設定されている。

【0035】入力パターン用フリップフロップ511～517に保持された信号は、次に説明する入力画素位置選択用フリップフロップ531～538に格納するデータの転送パターンを決定する入力パターン設定用スイッチ541～547の向きを指定する。例えば、図1では前段のフリップフロップの出力値を受ける場合にはHigh（網掛けあり）を、前段より前のフリップフロップの出力値を受ける場合にはLow（網掛けなし）を保持しておく。

【0036】次に画像データの入力動作について説明する。画像データの入力時において、1水平期間（1H）分のデータの内、格納すべき最初のデータに同期して入力画素位置選択用入力端子52から選択信号を入力する。この信号は入力画素位置選択用入力端子52へ単一パルス（以下入力選択パルス）の形で与える。

【0037】入力選択パルスは、先に設定されている入力パターン用フリップフロップ511～517によって接続の向きが設定されている入力パターン設定用スイッチ541～548のパスに従ってクロックに同期して伝搬し、入力画素位置選択用フリップフロップ531～538に格納されていく。この各入力画素位置選択用フリップ

フロップ531～538の出力が、入力端子1から入力された各画素データをどの入力用レジスタ31～38に格納するかを選択する入力画素選択スイッチ21～28をオンオフする。図1では入力画素位置選択用フリップフロップ531～538の出力がHighの時オン、Lowの時オフとしている。1H単位の画像データ入力前は入力画素位置選択用フリップフロップ531～538はすべてLowに設定されている。

【0038】この入力選択パルスと画素データの格納動作を図3を用いて詳細に説明する。まず、入力画素データが最初に有効になった第1番目のクロックに同期して、画像データ入力端子1から画素データ値“1”を、入力画素位置選択用入力端子52から入力選択パルス（High）を与えると、上段の網掛けされた入力画素位置選択用フリップフロップ531、532、533にHighの値が格納される。この時入力画素選択スイッチ21、22、23がオンされ、入力用レジスタ31、32、33に入力画素値“1”が格納される。

【0039】第2番目のクロックでは、図3の中段のように入力選択パルスは入力画素位置選択用フリップフロップ534、535に伝搬され、入力画素選択スイッチ24、25がオンされ、入力用レジスタ34、35に第2番目の入力画素値“2”が格納される。

【0040】第3番目のクロックでは、図3の下段のように入力選択パルスは入力画素位置選択用フリップフロップ536、537、538に伝搬され、入力画素選択スイッチ26、27、28がオンされ、入力用レジスタ36、37、38に第3番目の入力画素値“3”が格納される。

【0041】このようにして画像データの入力時点で、3画素分のデータが8つの入力用レジスタ31～38に、入力パターン用フリップフロップ511～517に設定された拡大パターンに応じて格納される。入力用レジスタ31～38のデータは水平ブランキング期間に入力側メモリ41～48に転送される。そして入力側メモリ41、44、46に格納された画素データは原画素値をそのまま使い、その他の入力側メモリに格納された画素データは原画素値を元に補間生成することで拡大処理が実現できる。

【0042】ここで、原画素自体を用いない画素位置にも補間のために必要な原画素データのいずれかが格納されているため、補間のための原画素データの参照は、いずれか一方でよいことになる。これは参照すべき原画素が近傍になくなるような拡大倍率が大きい時には特に有効となる。なお、補間を行う必要のある画素に対して、アクセスすべき参照画素位置情報を与える必要があるが、これは例えば入力側メモリ41～48に予め格納しておけばよい。この参照画素位置情報を格納する時は、入力パターン用フリップフロップ511～517にすべてHighを設定した状態で入力端子1から1H分すべての参照画素位置情報を入力し、入力側メモリ41～48に転送し

ておけばよい。参照画素位置情報は変更されない限り保持しておく。

【0043】さらには、複数の原画素からの補間処理を必要としない単純法で拡大処理を行う場合は、原画素のデータを繰り返し生成するだけであるため、入力の時点で拡大のための画素生成が完了できる。

【0044】以上のように、本発明によれば予め拡大パターンを登録しておくことで、入力時に固定間隔ではなく任意の間隔で画素データを取り込めるため、画素の間隔が均等でなくなる倍率の拡大処理を行う場合に、個々の画素位置を変える動作を行わなくて済み、また参照のためのデータアクセスも少なくて済む。

【0045】なお、実施形態1ではプロセッサエレメントの数が8の例で動作の説明を行ったが、プロセッサエレメントの数は8以外でもよい。また、入力選択パルスは入力画素データが最初に有効になった第1番目のクロックに同期して与える例を示したが、選択パルスを有効データに先行して与えれば、任意のプロセッサエレメントから入力を開始できる。

【0046】実施の形態2. 本発明の第2の実施形態を図2に基づき説明する。図2では簡単のためプロセッサエレメントの数を8個（従来例ではM個）とし、入力画像を3/8倍に縮小する例を用い、本発明の特徴的部分であるデータ出力機構とその動作について説明する。その他の部分は従来装置と同様な構成、動作である。尚、図中各フリップフロップに入力されるクロック信号は省略している。

【0047】縮小パターン登録用入力端子55は、画像データを出力する前に予め出力すべき画像データの各画素データをどのプロセッサエレメントに接続されたレジスタ91~98から読み出すかを定める信号用端子である。この入力信号は縮小パターン登録用シフトレジスタを構成するフリップフロップ561~568（以下出力パターン用フリップフロップと呼ぶ）にシーケンシャルに設定される。この縮小パターン登録用シフトレジスタが出力位置設定手段になる。必要なフリップフロップ数の設定が終わると、設定モードを終了しこのパターンは次にパターン変更がないかぎり保持される。本実施形態では3/8倍パターンの一例が設定されている。

【0048】出力パターン用フリップフロップ561~568に保持された信号は、次に説明する出力画素位置選択用フリップフロップ581~588に格納するデータの転送パターンを決定する出力パターン設定用スイッチ591~598の向きを指定する。例えば、図2では前段のフリップフロップの出力値を受ける場合には1（網掛けあり）を、前段より前のフリップフロップの出力値を受ける場合には0（網掛けなし）を保持しておく。

【0049】次に画像データの出力動作について説明する。画像データの出力時において、1水平期間（1H）分のデータの内、出力すべき最初のデータに同期して出

力画素位置選択用入力端子57から選択信号を入力する。この信号は出力画素位置選択用入力端子57へ単一パルス（以下出力選択パルス）の形で与える。

【0050】出力選択パルスは、先に設定されている出力パターン用フリップフロップ561~568によって接続の向きが設定されている出力パターン設定用スイッチ591~598のパスに従ってクロックに同期して伝搬し、出力画素位置選択用フリップフロップ581~588に格納されていく。この各出力画素位置選択用フリップフロップ581~588の出力と出力パターン用フリップフロップ561~568の出力が、出力端子11から出力すべき各画素データをどの出力用レジスタ91~98から読み出すかを選択する出力画素選択スイッチ101~108をオンオフする。図2では出力画素位置選択用フリップフロップ581~588の出力が1かつ出力パターン用フリップフロップ561~568の出力が1の時オン、そのいずれか少なくとも一方が0の時オフとしている。

【0051】この出力選択パルスと画素データの読み出し動作を図4を用いて詳細に説明する。まず、出力すべき画素データを選択するため、クロックに同期して出力画素位置選択用入力端子57から出力選択パルス（High）を与えると、上段の網掛けされた出力画素位置選択用フリップフロップ581にHighの値が格納される。この時、出力パターン用フリップフロップ561にもHighが格納されているため、出力画素選択スイッチ101だけがオンされ、出力用レジスタ91に格納されていた画素値“1”が読み出され、出力端子11から出力される。

【0052】第2番目のクロックでは、図4の中段のように出力選択パルスは出力画素位置選択用フリップフロップ582、583、584に伝搬される。この時、出力パターン用フリップフロップ564にHighが格納されているため、出力画素選択スイッチ104だけがオンされ、出力用レジスタ94に格納されていた画素値“4”が読み出され、出力端子11から出力される。

【0053】第3番目のクロックでは、図4の下段のように出力選択パルスは出力画素位置選択用フリップフロップ585、586、587、588に伝搬される。この時、出力パターン用フリップフロップ568にHighが格納されているため、出力画素選択スイッチ106だけがオンされ、出力用レジスタ98に格納されていた画素値“8”が読み出され、出力端子11から出力される。

【0054】このようにして第2の実施形態では、画像データを出力する際、出力パターン用フリップフロップ561~568に設定された縮小パターンに応じて、8つの出力用レジスタ91~98に格納された画素データのうちの3画素分のデータを出力できる。すなわち出力時に3/8の縮小処理を行える。なお、縮小処理の際周辺画素値との演算が必要な場合は、入力側メモリ41~48あるいは出力側メモリ81~88に画素データが格納されて

いる間に処理を行っておけばよい。

【0055】また、複数の原画素からの補間処理を必要としない単純法で縮小処理を行う場合は、原画素のデータを単純に間引くだけであるため、出力の時点のみで縮小処理が実現できる。なお、補間のための参照画素位置情報の格納は実施形態1と同様に行えばよい。

【0056】以上のように、本発明によれば予め縮小パターンを登録しておくことで、出力時に任意の間隔で画素データを間引いて出力できるため、出力時に複雑な画素データの移動を行わなくてすむ。

【0057】なお、実施形態2ではプロセッサエレメントの数が8の例で動作の説明を行ったが、プロセッサエレメントの数は8以外でもよい。

【0058】実施の形態3. 本発明の第3の実施形態を図5に基づき説明する。図5では簡単のためプロセッサエレメントの数が8個（従来例ではM個）の例を用い、本発明の特徴的部分であるデータ転送機構とその動作について説明する。第3の実施形態は画像データが一旦プロセッサエレメント内に取り込まれ、処理されている途中

で拡大処理を行い、その後他の処理を行うことができることを目的としている。

【0059】図5において、外部との画像データの入出力を行う入力用シリアル/パラレル変換器31及び出力用パラレル/シリアル変換器32の外部との入出力動作は、それぞれ単純なシフト動作のみで行なわれる。入力用シリアル/パラレル変換器31にシーケンシャルに格納された画像データは入力側メモリ41~48にパラレルに転送され、プロセッサエレメントで前演算処理される。また出力側メモリ81~88の画像データはパラレルに出力用パラレル/シリアル変換器32に転送される。転送用パラレル/シリアル変換器36と拡大パターン発生用シリアル/パラレル変換器40は、入力側メモリ41~48にそれぞれ対応する8つのシフトレジスタ（図1の入出力部）から構成される。

【0060】プロセッサエレメントで前処理されたデータは、再び入力側メモリ41~48に格納され、入力側メモリ41~48からパラレルに読み出されたデータ（8個）は、第1のデータ転送フィールドである転送用パラレル/シリアル変換器36に取り込まれ、出力画素位置選択用入力端子35から入力される単一パルス（以下出力選択パルス）によって転送信号線37を通してシーケンシャルに読み出され、第2のデータ転送フィールドである拡大パターン発生用シリアル/パラレル変換器40に転送される。この拡大パターン発生用シリアル/パラレル変換器40の構成及び、転送される各画素のデータが拡大パターン発生用シリアル/パラレル変換器40に格納される動作は、先の実施形態1の画像データ入力機構および入力動作と同じである。

【0061】すなわち、拡大パターン発生用シリアル/パラレル変換器40には、拡大パターン登録用入力端子

38と入力画素位置選択用入力端子39が備わっており、内部には入力パターン用フリップフロップと入力パターン設定用スイッチと入力画素位置選択用フリップフロップと入力画素選択スイッチがある。転送用パラレル/シリアル変換器36からシーケンシャルに出力されたデータは、拡大パターン登録用入力端子38より予め登録されたパターンに従い、入力画素位置選択用入力端子39から与えられた入力選択パルスで指定の画素位置にデータを格納する。従って実施形態1と同じ動作をする場合は、転送用パラレル/シリアル変換器36から出力された3画素データが、拡大パターン発生用シリアル/パラレル変換器40に格納される際8画素に拡大される。

【0062】この転送が完了すると、拡大パターン発生用シリアル/パラレル変換器40に格納されている画素データは、また入力側メモリ41~48に書き込まれ、プロセッサエレメントで後演算処理される。拡大により生成される補間画素の演算処理も、実施形態1と同様である。

【0063】なお実施形態3において、1H以内の時間で拡大処理とその他の処理を行う時間を確保するには、転送用パラレル/シリアル変換器36から拡大パターン発生用シリアル/パラレル変換器40にデータをシーケンシャルに転送するのに用いるクロックが、外部との入出力に必要なクロックより早ければよい。

【0064】また、実施形態3ではプロセッサエレメントの数が8の例で動作の説明を行ったが、プロセッサエレメントの数は8以外でもよく、転送用パラレル/シリアル変換器36と拡大パターン発生用シリアル/パラレル変換器40は出力側メモリに接続しても良い。

【0065】実施の形態4. 本発明の第4の実施形態を図6に基づき説明する。図6では簡単のためプロセッサエレメントの数が8個（従来例ではM個）の例を用い、本発明の特徴的部分であるデータ転送機構とその動作について説明する。第4の実施形態は画像データが一旦プロセッサエレメント内に取り込まれ、処理されている途中で縮小処理を行い、その後他の処理を行うことができることを目的としている。

【0066】図6において、外部との画像データの入出力を行う入力用シリアル/パラレル変換器31及び出力用パラレル/シリアル変換器32の外部との入出力動作は、それぞれ単純なシフト動作のみで行なわれる。入力用シリアル/パラレル変換器31にシーケンシャルに格納された画像データは入力側メモリ41~48にパラレルに転送され、プロセッサエレメントで演算処理される。またプロセッサエレメントで演算処理の終わった出力側メモリ81~88の画像データはパラレルに出力用パラレル/シリアル変換器32に転送される。第2のデータ転送フィールドである転送用シリアル/パラレル変換器46と第1のデータ転送フィールドである縮小パ

ターン発生用パラレル／シリアル変換器43は、出力側メモリ81～88にそれぞれ対応する8つのシフトレジスタ(図2の入出力部)から構成される。

【0067】プロセッサエレメントで前演算処理され、出力側メモリ81～88に格納されたデータ(8個)は、出力側メモリ81～88からパラレルに読み出され、縮小パターン発生用パラレル／シリアル変換器43に並列に取り込まれる。縮小パターン発生用パラレル／シリアル変換器43の構成及び、各画素のデータを間引いて出力する動作は、先の実施形態2の画像データ出力機構および出力動作と同じである。縮小パターン発生用パラレル／シリアル変換器43から出力される画素データは、転送信号線44を通して転送用シリアル／パラレル変換器46にシーケンシャルに格納される。

【0068】すなわち、縮小パターン発生用パラレル／シリアル変換器43には、縮小パターン登録用入力端子41と出力画素位置選択用入力端子42が備わっており、内部には出力パターン用フリップフロップと出力パターン設定用スイッチと出力画素位置選択用フリップフロップと出力画素選択スイッチがある。従って実施形態2と同じ動作をする場合は、縮小パターン発生用パラレル／シリアル変換器43に格納されていた8画素データが、3画素に縮小されて転送用シリアル／パラレル変換器46にシーケンシャルに格納される。

【0069】この転送が完了すると、転送用シリアル／パラレル変換器46に格納されている画素データは、再度出力側メモリ81～83に書き込まれ、プロセッサエレメントに並列に入力され、縮小のために行う後演算処理をプロセッサエレメントで行なう。縮小のために行う後演算処理も、実施形態2と同様である。

【0070】なお実施形態4において、1H以内の時間で縮小処理とその他の処理を行う時間を確保するには、縮小パターン発生用パラレル／シリアル変換器43から転送用シリアル／パラレル変換器46にデータを転送するのに用いるクロックが、外部との入出力に必要なクロックより早ければよい。

【0071】また、実施形態4ではプロセッサエレメントの数が8の例で動作の説明を行ったが、プロセッサエレメントの数は8以外でもよく、縮小パターン発生用パラレル／シリアル変換器43と転送用シリアル／パラレル変換器46は入力側メモリに接続しても良い。

【0072】実施の形態5. 本発明の第5の実施形態を図7に基づき説明する。図7では簡単のためプロセッサエレメントの数が8個(従来例ではM個)の例を用い、本発明の特徴的部分であるデータ転送機構とその動作について説明する。第5の実施形態は画像データが一旦プロセッサエレメント内に取り込まれ、処理されている途中で縮小処理あるいは拡大処理を行い、その後他の処理を行うことができることを目的としている。

【0073】図7において、外部との画像データの出入

力を行う入力用シリアル／パラレル変換器31及び出力用パラレル／シリアル変換器32は、それぞれ入力時及び出力時に単純なシフト動作のみを行う。すなわち隣接する画素データをシーケンシャルに入出力する機能のみを有する。第1のデータ転送フィールドである縮小パターン発生用パラレル／シリアル変換器43と第2のデータ転送フィールドである拡大パターン発生用シリアル／パラレル変換器40は、入力側メモリ41～48にそれぞれ対応する8つのシフトレジスタ(図1および図2の入出力部)から構成される。

【0074】まず拡大動作について説明する。入力側メモリ41～48からパラレルに読み出されたデータ(8個)は、縮小パターン発生用パラレル／シリアル変換器43に取り込まれる。縮小パターン発生用パラレル／シリアル変換器43に格納された画素データは転送信号線37を通して拡大パターン発生用シリアル／パラレル変換器40にシーケンシャルに転送される。この縮小パターン発生用シリアル／パラレル変換器43からシーケンシャルに画素データを読み出す際、縮小動作を行わせない設定をする。つまり出力パターン登録用入力端子41からすべての出力パターン用フリップフロップ561～568(図1)にHighを設定しておけばよい。そして、拡大パターン発生用シリアル／パラレル変換器40へ格納する際、拡大パターン設定入力端子38にて設定された拡大パターンに応じて拡大されて格納する。この動作自体は第3の実施形態と同じである。

【0075】次に縮小動作について説明する。入力側メモリ41～48からパラレルに読み出されたデータ(8個)は、縮小パターン発生用パラレル／シリアル変換器43に取り込まれる。縮小パターン発生用パラレル／シリアル変換器43から、縮小パターン設定入力端子41にて設定された縮小パターンに応じて画素を間引いて出力する。縮小パターン発生用パラレル／シリアル変換器43から出力される画素データは、転送信号線47を通して拡大パターン発生用シリアル／パラレル変換器40にシーケンシャルに格納される。この拡大パターン発生用シリアル／パラレル変換器40へシーケンシャルに格納するは拡大動作を行わせない設定をする。つまり拡大パターン登録用入力端子38からすべての入力パターン用フリップフロップ511～517にHighを設定しておけばよい。この動作自体は第4の実施形態と同じである。

【0076】なお実施形態5において、1H以内の時間で縮小処理とその他の処理を行う時間を確保するには、縮小パターン発生用パラレル／シリアル変換器43から拡大パターン発生用シリアル／パラレル変換器40にデータを転送するのに用いるクロックが、外部との入出力に必要なクロックより早ければよい。

【0077】また、実施形態5ではプロセッサエレメントの数が8の例で動作の説明を行ったが、プロセッサエレメントの数は8以外でもよく、縮小パターン発生用パ

10

20

30

40

50

ラレル／シリアル変換器 43 と拡大パターン発生用シリアル／パラレル変換器 40 は出力側メモリに接続しても良い。

【0078】実施の形態 6. 本発明の第 6 の実施形態を図 8 に基づき説明する。図 8 では簡単のためプロセッサエレメントの数が 8 個（従来例では M 個）の例を用い、本発明の特徴的部分であるデータ転送機構とその動作について説明する。第 6 の実施形態は画像データが一旦プロセッサエレメント内に取り込まれ、処理されている途中で拡大処理を行う際、拡大のためのデータ転送時間の短縮を図り、その後他の処理を行うことができることを目的としている。

【0079】図 8 において、外部との画像データの入出力を行う入力用シリアル／パラレル変換器 31 及び出力用パラレル／シリアル変換器 32 は、それぞれ入力時及び出力時に単純なシフト動作のみを行う。すなわち隣接する画素データをシーケンシャルに入出力する機能のみを有する。転送用パラレル／シリアル変換器 36a と拡大パターン発生用シリアル／パラレル変換器 40a は、入力側メモリ 41～44 にそれぞれ対応する 4 つのシフトレジスタ（図 1 の入出力部相当）から、また転送用パラレル／シリアル変換器 36b と拡大パターン発生用シリアル／パラレル変換器 40b は、入力側メモリ 44～48 にそれぞれ対応する 4 つのシフトレジスタ（図 1 の入出力部相当）から構成される。

【0080】入力側メモリ 41～44 からパラレルに読み出されたデータ（4 個）は、転送用パラレル／シリアル変換器 36a に取り込まれ、出力画素位置選択用入力端子 35a から入力される出力選択パルスによって転送信号線 37a を通してシーケンシャルに読み出され、拡大パターン発生用シリアル／パラレル変換器 40a に転送される。またこれと対称形で入力側メモリ 45～48 からパラレルに読み出されたデータ（4 個）は、転送用パラレル／シリアル変換器 36b に取り込まれ、出力画素位置選択用入力端子 35b から入力される出力選択パルスによって転送信号線 37b を通してシーケンシャルに読み出され、拡大パターン発生用シリアル／パラレル変換器 40b に転送される。この拡大パターン発生用シリアル／パラレル変換器 40a、40b の構成及び、転送される各画素のデータが拡大パターン発生用シリアル／パラレル変換器 40a、40b に格納される動作は、先の実施形態 3 および実施形態 5 の拡大動作と同じである。本実施形態 6 の特徴的なことは、それぞれの転送フィールド（転送用パラレル／シリアル変換器 36a と 36b および拡大パターン発生用シリアル／パラレル変換器 40a と 40b）が対称形であり、かつデータ転送方向も対称になることである。

【0081】実施形態 6 において拡大処理を行うには、入力用シリアル／パラレル変換器 31 に画像データを入力する際、1H 分の画像データをセンタリングして格納

する。そしてこの配置状態で各プロセッサエレメントにて処理を行う。拡大処理を行う際には、左右対称な転送フィールドを用いる。ここで、左側のデータ転送フィールドは、右端のデータを基準に左向きにデータ転送を行いながら拡大処理を行い、同時に右側のデータ転送フィールドは、左端のデータを基準に右向きにデータ転送を行いながら拡大処理を行う。これによりデータ転送に要する時間が、実施形態 3 あるいは 5 に対し 1/2 の時間で済む。つまり 1H 中の時間内においてデータ転送に費やされる時間を少なくすることができるため、他の処理に割り当てられる時間が増える。また、画像データをセンタリングして拡大する場合には、1 ラインの中心を基準にして左右対象に拡大処理が行えるため、拡大後のセンタリング処理が不要になる。さらには拡大後の画像が記録あるいは表示領域を超えるような場合においてセンタリング機能が要求される場合には、左右の周辺画素を均等に削除することが可能となる。

【0082】この転送が完了すると、拡大パターン発生用シリアル／パラレル変換器 40 に格納されている画素データは、再度入力側メモリ 41～48 に書き込まれる。拡大により生成される補間画素の演算処理は、実施形態 1 と同様である。

【0083】もちろん、原画像の 1H 分のサイズが 2 の倍数でない場合でも、左右いずれかのフィールドに 1 画素分のダミー画素をつけて処理すればよい。

【0084】また、実施形態 6 ではプロセッサエレメントの数が 8 の例で動作の説明を行ったが、プロセッサエレメントの数は 8 以外でもよく、転送用パラレル／シリアル変換器 36a、36b と拡大パターン発生用シリアル／パラレル変換器 40a、40b は出力側メモリに接続しても良い。

【0085】なお、実施形態 6 では、センタリングに容易に対応できるように、それぞれの転送フィールド（転送用パラレル／シリアル変換器 36a と 36b および拡大パターン発生用シリアル／パラレル変換器 40a と 40b）が対称形となる例を示したが、左右のいずれかを基準として拡大処理を行う場合には、それぞれの転送フィールドは同じ形をとればよい。データ入力はセンタリングせずに行い、それぞれの転送フィールドは同じ方向でデータ転送を行う。この場合でも、データ転送に要する時間は実施形態 3 あるいは 5 に対し 1/2 の時間で済む効果は同じである。

【0086】実施の形態 7. 本発明の第 7 の実施形態を図 9 に基づき説明する。図 9 では簡単のためプロセッサエレメントの数が 8 個（従来例では M 個）の例を用い、本発明の特徴的部分であるデータ転送機構とその動作について説明する。第 7 の実施形態は画像データが一旦プロセッサエレメント内に取り込まれ、処理されている途中で縮小処理を行う際、縮小のためのデータ転送時間の短縮を図り、その後他の処理を行うことができることを

10

20

30

40

50

目的としている。

【0087】図9において、外部との画像データの出入力を行う入力用シリアル/パラレル変換器31及び出力用パラレル/シリアル変換器32は、それぞれ入力時及び出力時に単純なシフト動作のみを行う。すなわち隣接する画素データをシークンシャルに入出力する機能のみを有する。転送用シリアル/パラレル変換器46aと縮小パターン発生用パラレル/シリアル変換器43aは、出力側メモリ81~84にそれぞれ対応する4つのシフトレジスタ(図1の入出力部相当)から、また転送用シリアル/パラレル変換器46bと縮小パターン発生用パラレル/シリアル変換器43bは、入力側メモリ84~88にそれぞれ対応する4つのシフトレジスタ(図1の入出力部相当)から構成される。

【0088】出力側メモリ81~84からパラレルに読み出されたデータ(4個)は、縮小パターン発生用パラレル/シリアル変換器43aに取り込まれる。縮小パターン発生用パラレル/シリアル変換器43aから間引かれて出力される画素データは、転送信号線44aを通して転送用シリアル/パラレル変換器46aにシークンシャルに格納される。またこれと対称形で入力側メモリ85~88からパラレルに読み出されたデータ(4個)は、縮小パターン発生用パラレル/シリアル変換器43bに取り込まれる。縮小パターン発生用パラレル/シリアル変換器43bから間引かれて出力される画素データは、転送信号線44bを通して転送用シリアル/パラレル変換器46bにシークンシャルに格納される。この縮小パターン発生用パラレル/シリアル変換器43a、43bの構成及び、転送される各画素のデータが転送用シリアル/パラレル変換器46a、46bに格納される動作は、先の実施形態4および実施形態5の縮小動作と同じである。本実施形態7の特徴的なことは、それぞれの転送フィールド(転送用シリアル/パラレル変換器46aと46bおよび縮小パターン発生用パラレル/シリアル変換器43aと43b)が対称形であり、かつデータ転送方向も対称になることである。

【0089】実施形態7において縮小処理を行うには、入力用シリアル/パラレル変換器31に画像データを入力する際、1H分の画像データをセンタリングして格納する。そしてこの配置状態で各プロセッサエレメントにて処理を行う。縮小処理を行う際には、左右対称な転送フィールドを用いる。ここで、左側のデータ転送フィールドは、例えば右端のデータを基準に左向きにデータ転送を行いながら縮小処理を行い、同時に右側のデータ転送フィールドは、左端のデータを基準に右向きにデータ転送を行いながら縮小処理を行う。この場合は縮小された画像もセンタリングされた形で生成できる。これによりデータ転送に要する時間が、実施形態4あるいは5に対し1/2の時間ですむ。つまり1H中の時間内においてデータ転送に費やされる時間を少なくすることができ

るため、他の処理に割り当てられる時間が増える。

【0090】この転送が完了すると、転送用シリアル/パラレル変換器46a、46bに格納されている画素データは、再度入力側メモリ81~88に書き込まれる。

【0091】もちろん、原画像の1H分のサイズが2の倍数でない場合でも、左右いずれかのフィールドに1画素分のダミー画素をつけて処理すればよい。

【0092】また、実施形態7ではプロセッサエレメントの数が8の例で動作の説明を行ったが、プロセッサエレメントの数は8以外でもよく、転送用シリアル/パラレル変換器46a、46bと縮小パターン発生用パラレル/シリアル変換器43a、43bは入力側メモリに接続しても良い。

【0093】なお、実施形態7では、センタリングに容易に対応できるように、それぞれの転送フィールド(転送用シリアル/パラレル変換器46aと46bおよび縮小パターン発生用パラレル/シリアル変換器43aと43b)が対称形となる例を示したが、左右のいずれかを基準として縮小処理を行う場合には、それぞれの転送フィールドは同じ形をとればよい。データ入力はセンタリングせずに行い、それぞれの転送フィールドは同じ方向でデータ転送を行う。この場合でも、データ転送に要する時間は実施形態4あるいは5に対し1/2の時間ですむ効果は同じである。

【0094】実施の形態8、本発明の第8の実施形態を図10に基づき説明する。図10では簡単のためプロセッサエレメントの数を8個(従来例ではM個)とし、入力画像を8/3倍に拡大する例を用い、本発明の特徴的部分であるデータ入力機構とその動作についてのみ説明する。尚、図中各フリップフロップに入力されるクロック信号は省略している。

【0095】拡大パターン登録用入力端子50は、画像データを入力する前に予め入力した画像データの各画素データをどのプロセッサエレメントに接続される入力画素データ格納用フリップフロップ601~608(以下入力データ用フリップフロップ)に格納するかを決める信号用端子である。この入力信号は拡大パターン登録用シフトレジスタを構成するフリップフロップ511~517(以下入力パターン用フリップフロップ)にシークンシャルに設定される。必要なフリップフロップ数の設定が終わると、設定モードを終了しこのパターンは次にパターン変更がないかぎり保持される。本実施形態では8/3倍パターンの一例が設定されている。

【0096】入力パターン用フリップフロップ511~517に保持された信号は、入力データ用フリップフロップ601~608に格納するデータの転送パターンを決定する入力パターン設定用スイッチ541~548の向きを指定する。例えば、図10では前段のフリップフロップの出力値を受けける場合にはHigh(網掛けあり)を、前段より前のフリップフロップの出力値を受けける場合には

Low（網掛けなし）を保持しておく。

【0097】次に画像データの入力動作について説明する。画像データの入力時は、1水平期間（1H）分の中で格納すべき最初のデータから順次クロックに同期して入力端子1から入力する。入力データは、先に設定されている入力パターン用フリップフロップ511～517によって接続の向きが設定されている入力パターン設定用スイッチ541～548のパスに従ってクロックに同期して伝搬し、入力データ用フリップフロップ601～608に格納されていく。このようにして入力された画像データの配置は、先の実施形態1とは反対の順番になる以外は実施形態1とすべて同じである。すなわち1ライン分の画像データが入力データ用フリップフロップ601～608に格納されたあとは、入力側メモリにパラレルに転送され処理を行う。

【0098】本発明の実施形態8の特徴的なことは、画像データを入力する機構として、先の実施形態1における入力画素位置選択用フリップフロップ531～538が、入力データを格納するフリップフロップとして使用していることである。これによりフリップフロップの数が削減できる。

【0099】なお、実施形態8ではプロセッサエレメントの数が8の例で動作の説明を行ったが、プロセッサエレメントの数は8以外でもよい。

【0100】実施の形態9。本発明の第9の実施形態を図11に基づき説明する。図11では簡単のためプロセッサエレメントの数を8個（従来例ではM個）とし、入力画像を3/8倍に縮小する例を用い、本発明の特徴的部分であるデータ出力機構とその動作についてのみ説明する。尚、図中各フリップフロップに入力されるクロック信号は省略している。

【0101】縮小パターン登録用入力端子55は、画像データを出力する前に予め出力すべき画像データの各画素データをどのプロセッサエレメントに接続された出力画素データ格納用フリップフロップ611～618（以下出力データ用フリップフロップ）から読み出すかを定める信号用端子である。この入力信号は縮小パターン登録用シフトレジスタを構成するフリップフロップ561～568（以下入力パターン用フリップフロップ）にシークエンシャルに設定される。必要なフリップフロップ数の設定が終わると、設定モードを終了しこのパターンは次にパターン変更がないかぎり保持される。本実施形態では3/8倍パターンの一例が設定されている。

【0102】出力パターン用フリップフロップ561～568に保持された信号は、出力データ用フリップフロップ611～618から読み出すデータの転送パターンを決定する出力パターン設定用スイッチ591～598の向きを指定する。例えば、図11では前段のフリップフロップの出力値を受ける場合にはHigh（網掛けあり）を、前段より前のフリップフロップの出力値を受ける場合に

はLow（網掛けなし）を保持しておく。

【0103】次に画像データの出力動作について説明する。画像データの出力は、1水平期間（1H）分の中で読み出すべき最初のデータから順次クロックに同期して出力端子11から入力される。出力データは、先に設定されている出力パターン用フリップフロップ561～568によって接続の向きが設定されている入力パターン設定用スイッチ591～598のパスに従ってクロックに同期して伝搬し、出力データ用フリップフロップ611～618に格納されていく。このようにして出力される画像データの配置は、先の実施形態2とは反対の順番になる以外は実施形態2とすべて同じである。

【0104】本発明の実施形態9の特徴的なことは、画像データを出力する機構として、先の実施形態2における出力画素位置選択用フリップフロップ581～588が、出力データを読み出すフリップフロップとして使用していることである。これによりフリップフロップの数が削減できる。

【0105】なお、実施形態9ではプロセッサエレメントの数が8の例で動作の説明を行ったが、プロセッサエレメントの数は8以外でもよい。

【0106】

【発明の効果】請求項1の発明によれば、SIMD方式のプロセッサでは処理が複雑になるものに対し、入力時に上記プロセッサの処理に対応した画素間隔を設定することができるため、水平方向の画素移動が容易に実現可能となり、特に水平方向の任意の割合での拡大（画素間隔を広げる）処理に対し有効である。

【0107】請求項2の発明によれば、SIMD方式のプロセッサでは処理が複雑になるものに対し、入力時に上記プロセッサの処理に対応した画素間隔で画素データを格納することができるため、水平方向の画素移動が容易に実現可能となり、また、入力後の画素データの移動処理が不要となる。さらには補間生成すべき画素位置には生成のために参照すべき画素の一つが格納されるため、参照のためのアクセスが少なくすむ。特に水平方向の任意の割合での拡大（画素間隔を広げる）処理に対し有効である。

【0108】請求項3の発明によれば、SIMD方式のプロセッサでは処理が複雑になるものに対し、出力時に上記プロセッサの処理に対応した画素間隔を設定することができるため、水平方向の画素移動が容易に実現可能となり、特に水平方向の任意の割合での縮小（画素間隔を狭める）処理に対し有効である。

【0109】請求項4の発明によれば、SIMD方式のプロセッサでは処理が複雑になるものに対し、パラレル/シリアル変換器の簡単な構成で、出力時に上記プロセッサの処理に対応した画素間隔で画素データを出力することができるため、水平方向の画素移動が容易に実現可能となる。特に水平方向の任意の割合での縮小（画素間隔を

狭める) 処理に対し有効である。

【0110】請求項5の発明によれば、SIMD方式のプロセッサでは処理が複雑になるものに対し、入力時及び出力時で上記プロセッサの処理に対応した画素間隔を設定することができるため、水平方向の画素移動が容易に実現可能となる。水平方向の任意の割合での拡大(画素間隔を広げる)処理に対する入力時での任意の画素間隔の設定と、水平方向の任意の割合での縮小(画素間隔を狭める)処理に対する出力時での任意の画素間隔を設定できるので、これらの処理に、特に有効である。

【0111】請求項6の発明によれば、水平方向の画素間隔が変更できるように、画像データの処理の途中で1ラインのデータを内部で水平方向に転送し、その際に格納すべき画素位置を指定できる機構を備えていることにより、処理の途中で拡大または縮小処理を行うことができるようになる。これにより処理シーケンスの制約がなくなり、また画素データの移動処理が容易に行える。さらに、画素データの移動に要する時間が少なくてすむ。

【0112】請求項7の発明によれば、水平方向の画素間隔がプロセッサエレメントの後演算処理内容に応じた指定の並びに変えられるように、画像データの処理の途中で1ラインのデータを内部で水平方向に転送し、格納できる機構を備えていることにより、処理の途中で所定の処理を行うことができるようになる。これにより処理シーケンスの制約がなくなり、また画素データの移動処理が容易に行える。さらには補間生成すべき画素位置には生成のために参照すべき画素の一つが格納されるため、参照のためのアクセスが少なくてすむ。さらに、画素データの移動に要する時間が少なくてすむ。特に、処理の途中で拡大処理を行う際に画素間隔を広げて格納することができ、有効である。

【0113】請求項8の発明によれば、水平方向の画素間隔がプロセッサエレメントの後演算処理内容に応じた指定の並びに変えられるように、画像データの処理の途中で1ラインのデータを内部で水平方向に転送し、その際に読み出すべき画素位置を指定できる機構を備えていることにより、処理の途中で所定の処理を行うことができるようになる。これにより処理シーケンスの制約がなくなり、また画素データの移動処理が容易に行える。

特に、処理の途中で 縮小処理を行う際に有効である。

【0114】請求項9の発明によれば、プロセッサの処理に対応して、水平方向の画素間隔を広げる、または狭めるの両方ができるように、画像データの処理の途中で1ラインのデータを内部で水平方向に転送し、その際に読み出すべき画素位置あるいは格納すべき画素位置を指定できる機構を備えていることにより、処理の途中で拡大処理あるいは縮小処理を行うことができるようになる。これにより処理シーケンスの制約がなくなり、また画素データの移動処理が容易に行える。さらには拡大時

には、補間生成すべき画素位置には生成のために参照すべき画素の一つが格納されるため、参照のためのアクセスが少なくてすむ。さらに、画素データの移動に要する時間が少なくてすむ。

【0115】請求項10の発明によれば、拡大の基準点をラインの中心においた処理も行える。これにより、例えば画像の中心を残して、周辺(左右)の画像を切り捨てるようなセンタリング機能付の拡大処理が可能になる。つまり拡大後の画像が記録あるいは表示領域を超えるような場合において、画像をセンタリングして記録あるいは表示する必要がある場合には、周辺の画像を均等に切り捨てることができる。また縮小の基準点をラインの中心においた処理も行える。これにより、例えば縮小した画像を記録あるいは表示する必要がある場合には、記録あるいは表示された画面をセンタリング機能付で縮小処理が容易に行えることになる。そして、拡大縮小等の処理を行う際に、1ライン分のデータ転送を少なくとも分割数分の1の時間以内で行える効果がある。

【0116】請求項11の発明によれば、シリアル/パラレル変換器のプロセッサの処理に対応した指定の並びで入力する処理を行うために必要なフリップフロップの数が少なくてすむ。

【0117】請求項12の発明によれば、パラレル/シリアル変換器のプロセッサの処理に対応した指定の並びで出力する処理を行うために必要なフリップフロップの数が少なくてすむ。

【図面の簡単な説明】

【図1】 入力時に任意の間隔で画像データを取り込める画像処理プロセッサの構成図である。

【図2】 出力時に任意の間隔で画像データを間引ける画像処理プロセッサの構成図である。

【図3】 画素間隔を広げながらの入力動作を説明するための図である。

【図4】 画素を間引きながらの出力動作を説明するための図である。

【図5】 各プロセッサエレメントに取り込んだ画像データに対し任意に画素間隔を広げられるデータ転送フィールドを持った画像処理プロセッサの構成図である。

【図6】 各プロセッサエレメントに取り込んだ画像データに対し任意に画素を間引けるデータ転送フィールドを持った画像処理プロセッサの構成図である。

【図7】 各プロセッサエレメントに取り込んだ画像データに対し任意に画素間隔を広げたり画素を間引けるデータ転送フィールドを持った画像処理プロセッサの構成図である。

【図8】 各プロセッサエレメントに取り込んだ画像データに対し任意に画素間隔を広げられるデータ転送フィールドを複数持った画像処理プロセッサの構成図である。

【図9】 各プロセッサエレメントに取り込んだ画像デ

10

20

30

40

50

ータに対し任意に画素を間引けるデータ転送フィールドを複数持った画像処理プロセッサの構成図である。

【図10】 各プロセッサエレメントに取り込んだ画像データに対し任意に画素間隔を広げられるデータ転送フィールドがシフトレジスタで構成される画像処理プロセッサの構成図である。

【図11】 各プロセッサエレメントに取り込んだ画像データに対し任意に画素を間引けるデータ転送フィールドがシフトレジスタで構成される画像処理プロセッサの構成図である。

【図12】 従来の並列プロセッサの構成図である。

【図13】 別な従来の並列プロセッサの構成図である。

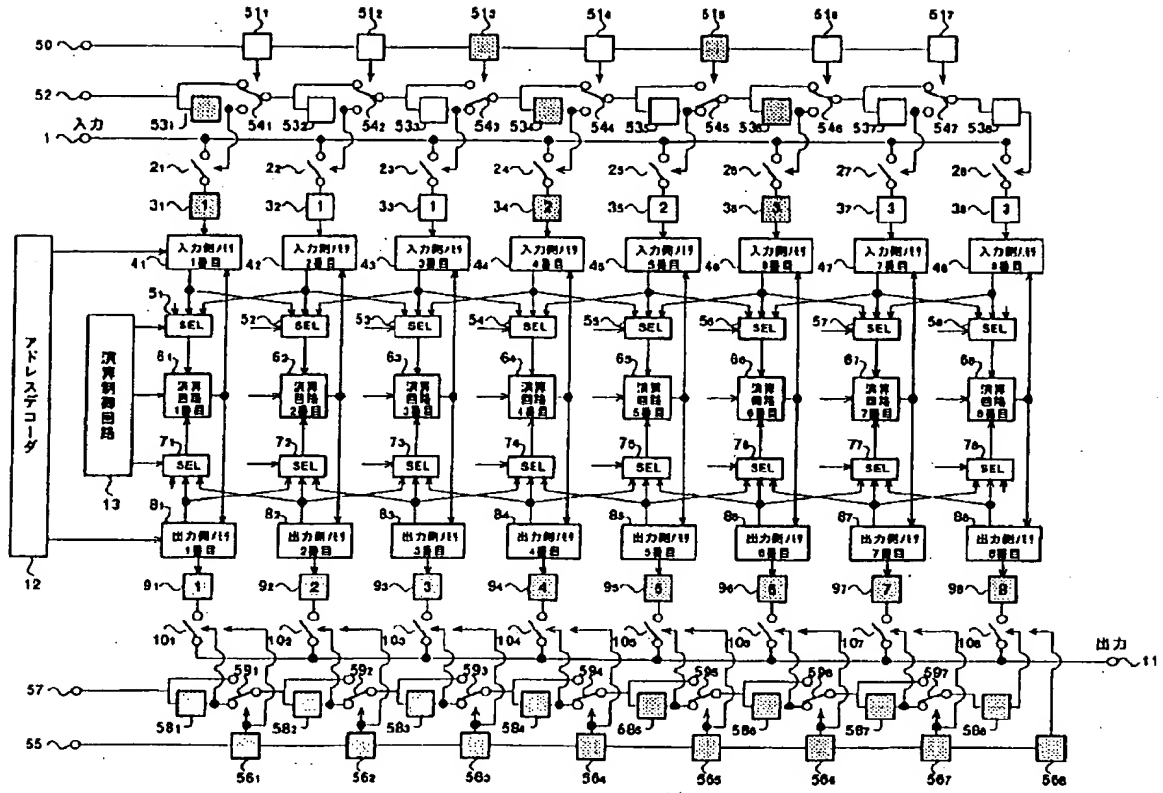
【符号の説明】

1 : 入力端子
力画素選択スイッチ
31~3M : 入力用レジスタ
力側メモリ
5、7 : セレクタ (SEL)
算回路
81~6M : 出力側メモリ
用レジスタ
101~10M : 出力画素選択スイッチ
端子
12 : アドレスデコーダ
制御回路
14、16、21、23、26、28 : スイッチオン信号入力端子
151~15M、171~17M、221~22M/2、241~247M/2、271~27M/2、291~29M/2 : フリップフロップ
251~25M、301~30M : セレクタ

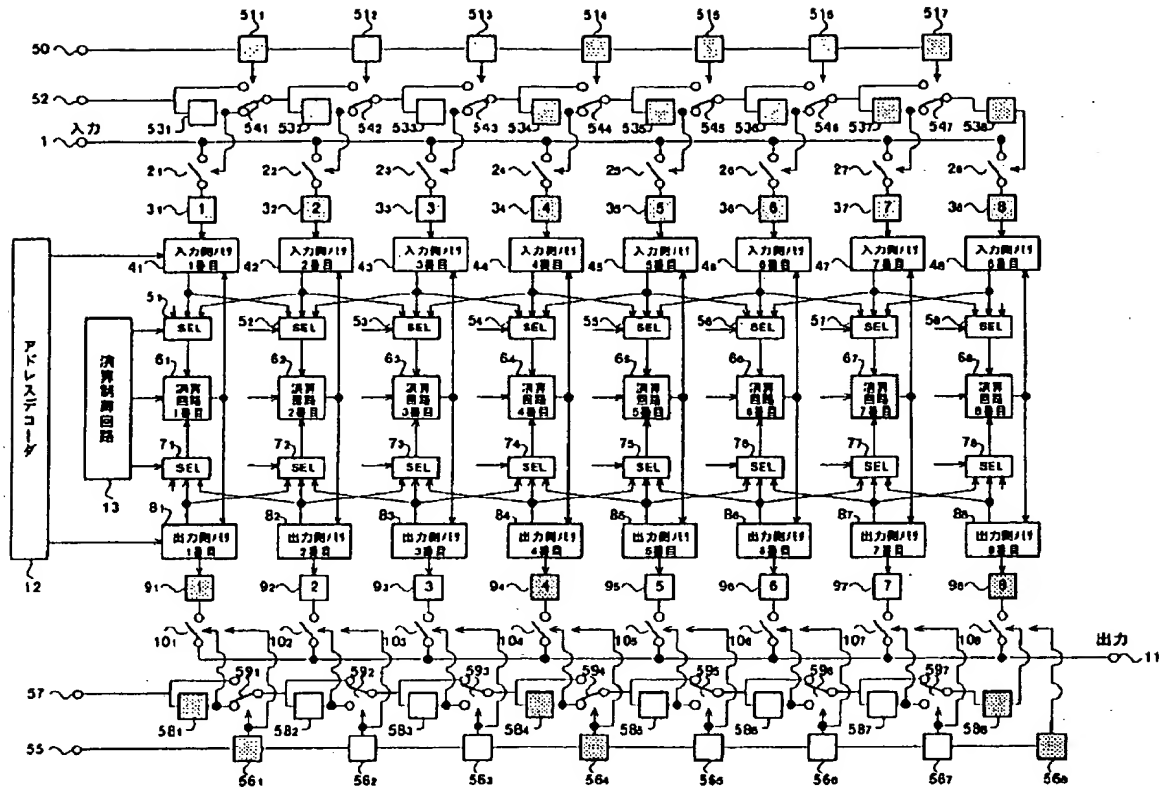
21~2M : 入力
41~4M : 入力
61~6M : 演
9 : 出力
11 : 出力
13 : 演算
30

31 : 入力用シリアル/パラレル変換器
32 : 出力用パラレル/シリアル変換器
33 : 入力側転送用シフトレジスタ
34 : 出力側転送用シフトレジスタ
35、35a、35b : 出力画素位置選択用入力端子
36、36a、36b : 転送用パラレル/シリアル変換器
37、37a、37b : 転送信号線
38、38a、38b : 拡大パターン登録用入力端子
39、39a、39b : 入力画素位置選択用入力端子
40、40a、40b : 拡大パターン発生用シリアル/パラレル変換器
41、41a、41b : 縮小パターン登録用入力端子
42、42a、42b : 出力画素位置選択用入力端子
43、43a、43b : 縮小パターン発生用パラレル/シリアル変換器
44、44a、44b : 転送用信号線
45、45a、45b : 入力画素位置選択用入力端子
46、46a、46b : 転送用シリアル/パラレル変換器
50 : 拡大パターン登録用入力端子
511~517 : 入力パターン用フリップフロップ
52 : 入力画素位置選択用入力端子
531~538 : 入力画素位置選択用フリップフロップ
541~548 : 入力パターン設定用スイッチ
55 : 縮小パターン登録用入力端子
561~568 : 出力パターン用フリップフロップ
57 : 出力画素位置選択用入力端子
581~588 : 出力画素位置選択用フリップフロップ
591~598 : 出力パターン設定用スイッチ
601~608 : 入力データ用フリップフロップ
611~618 : 出力データ用フリップフロップ

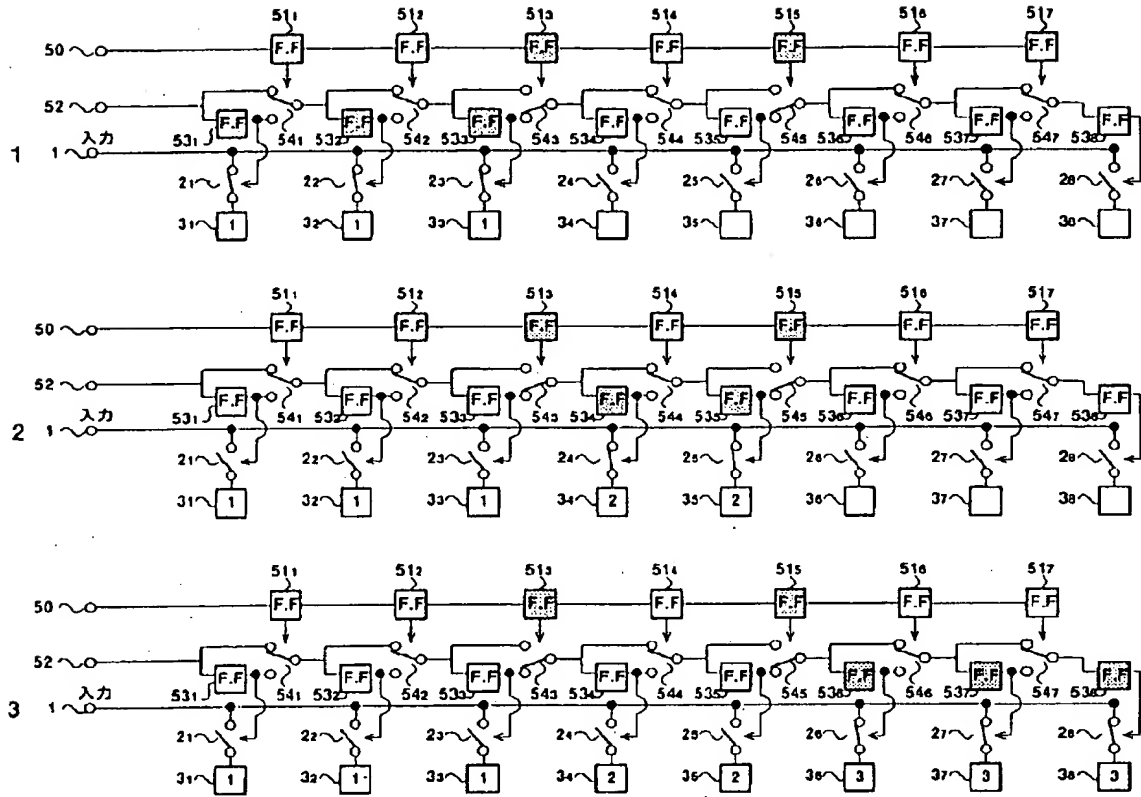
【図1】



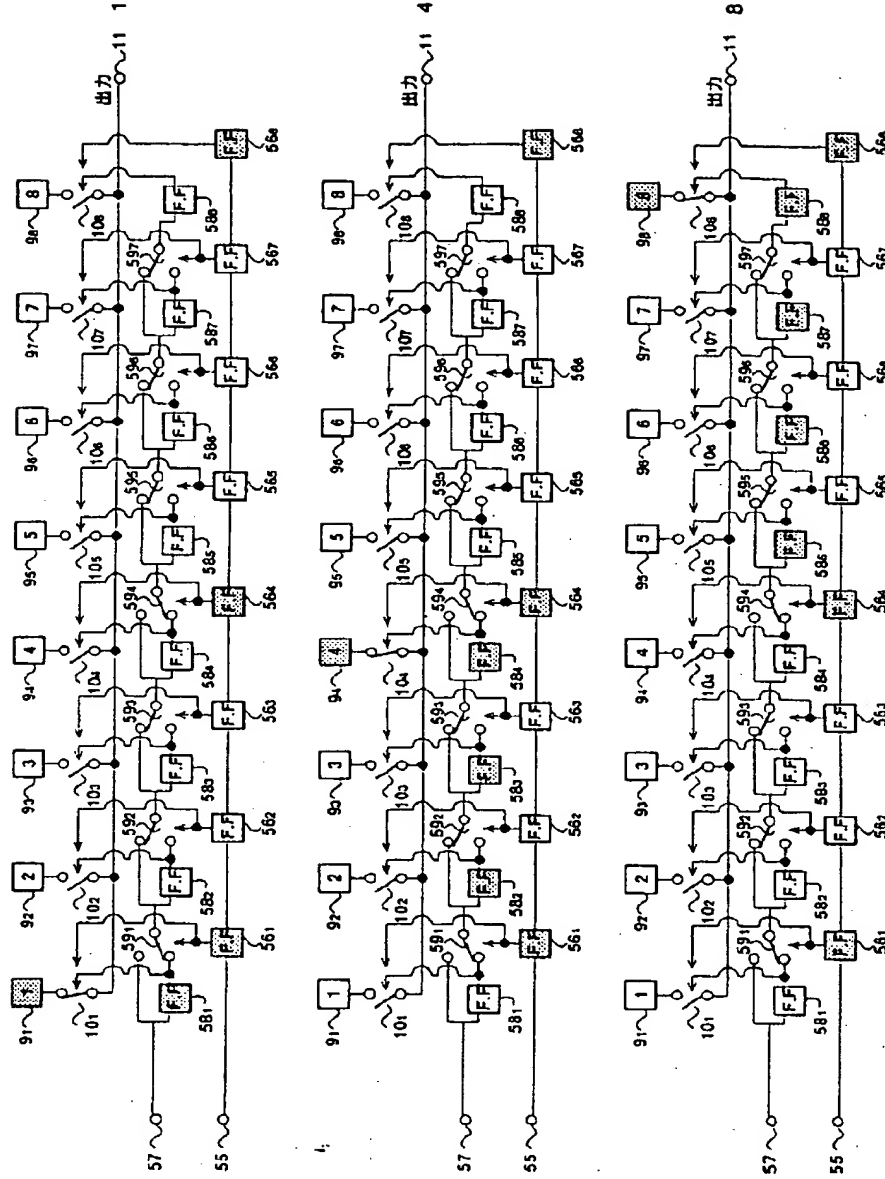
【図2】



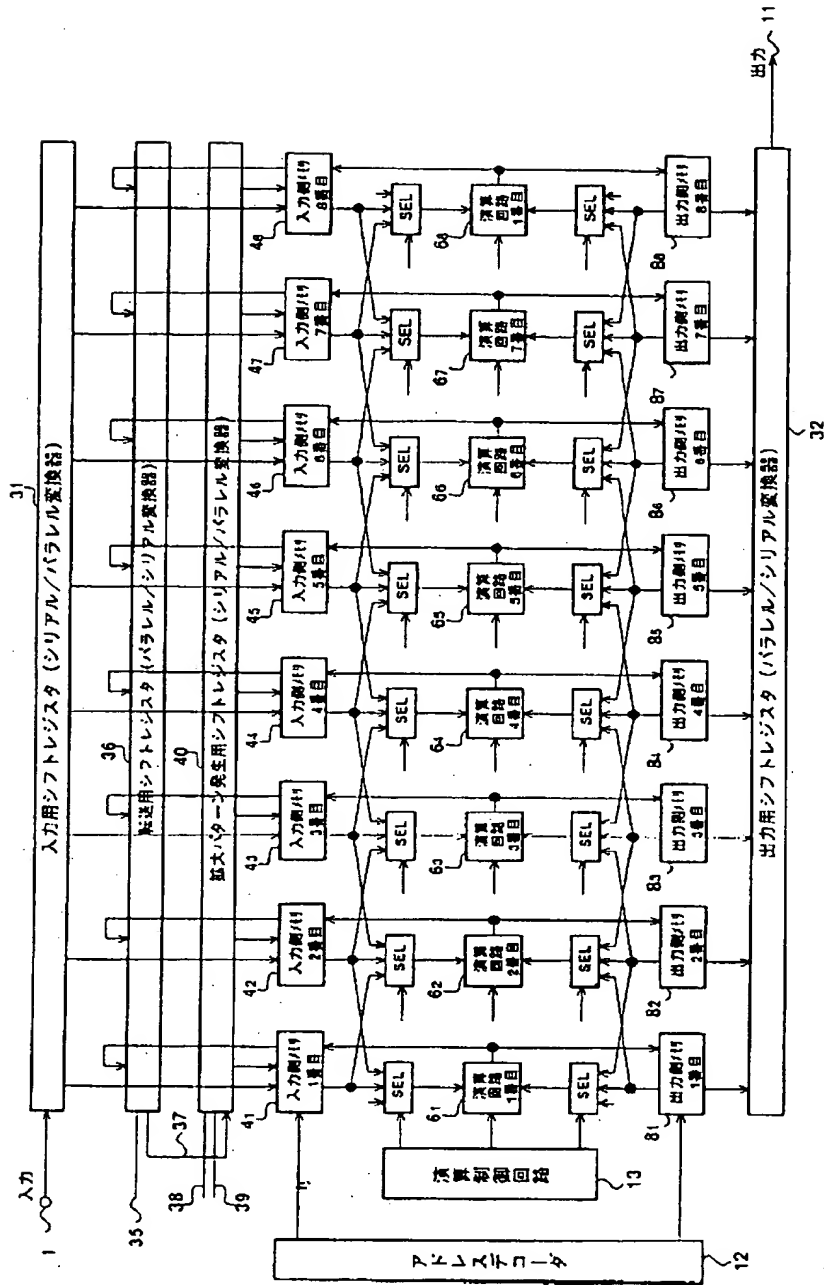
【図3】



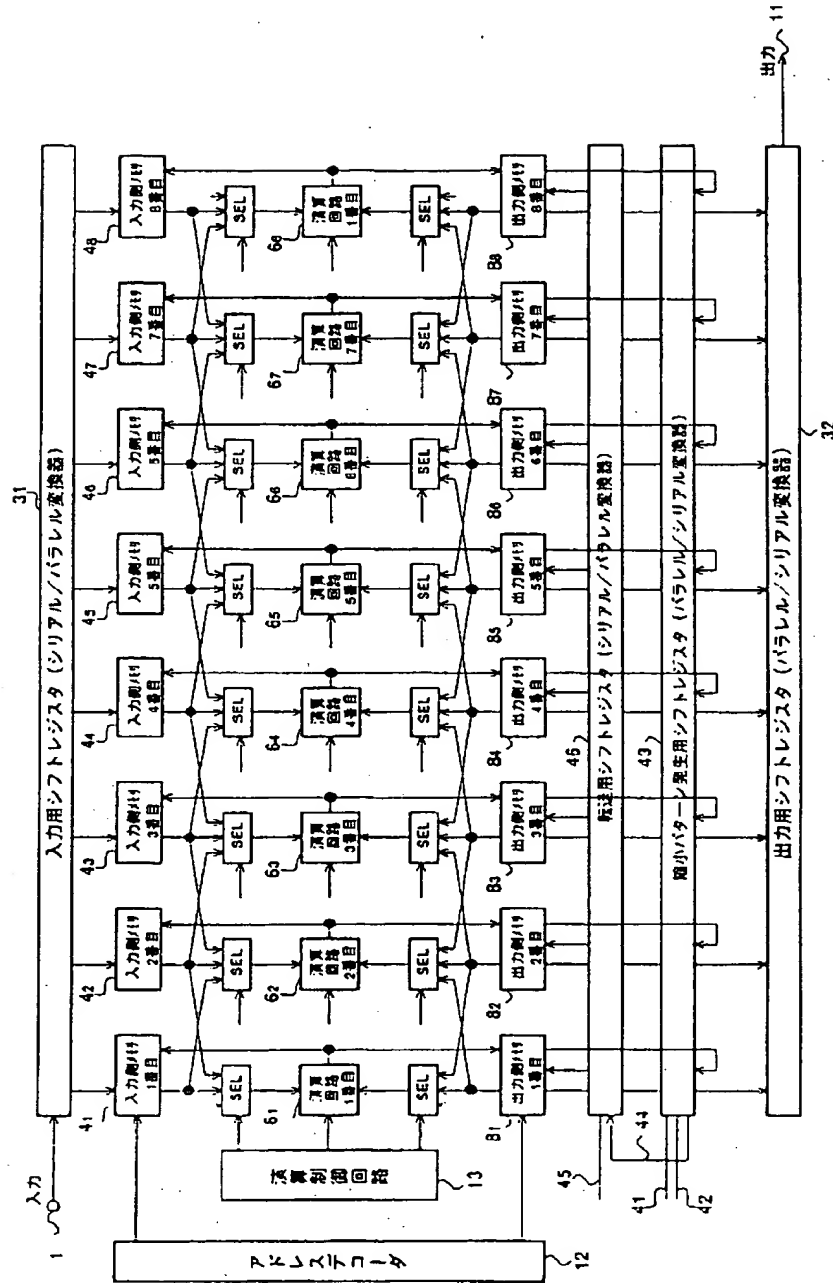
【図4】



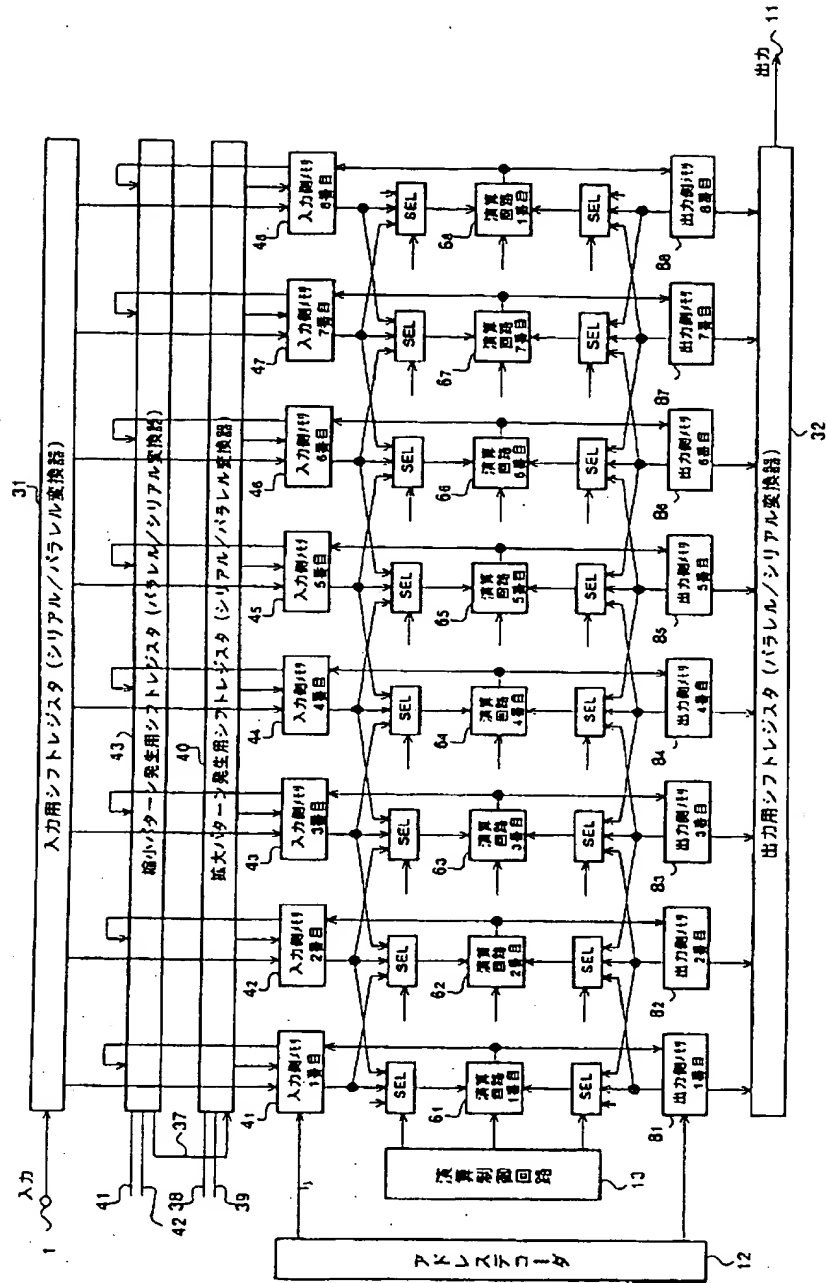
【図5】



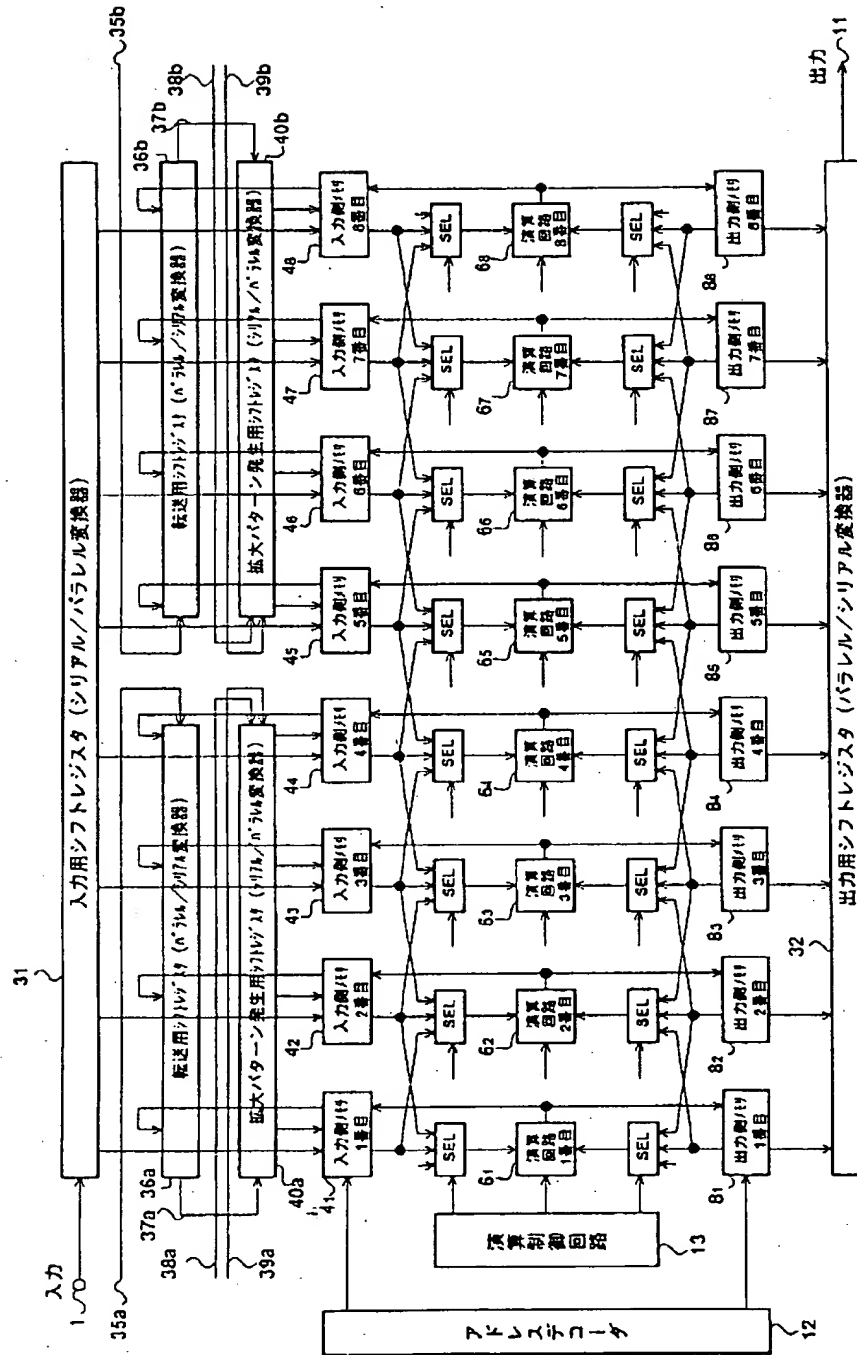
【図6】



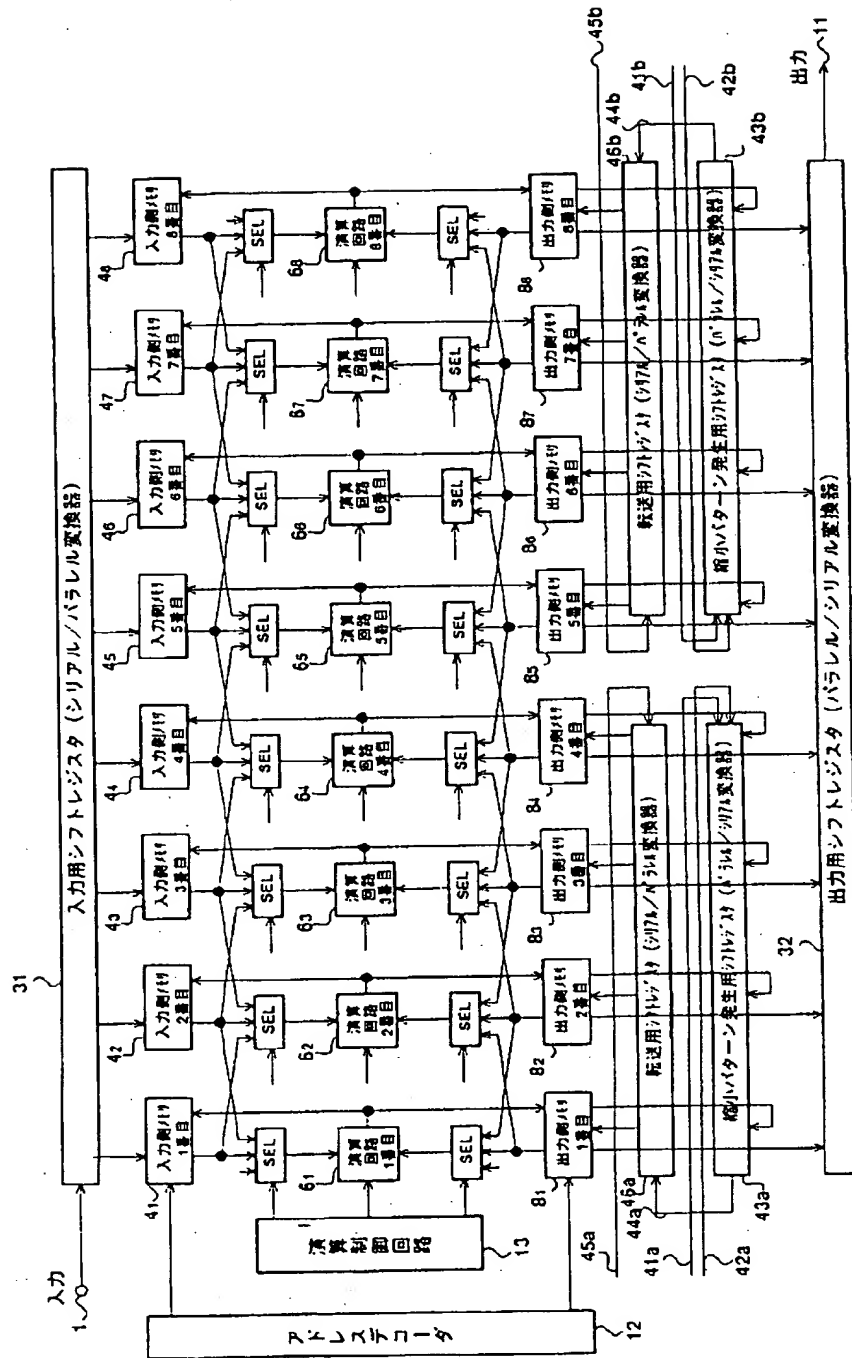
【図7】



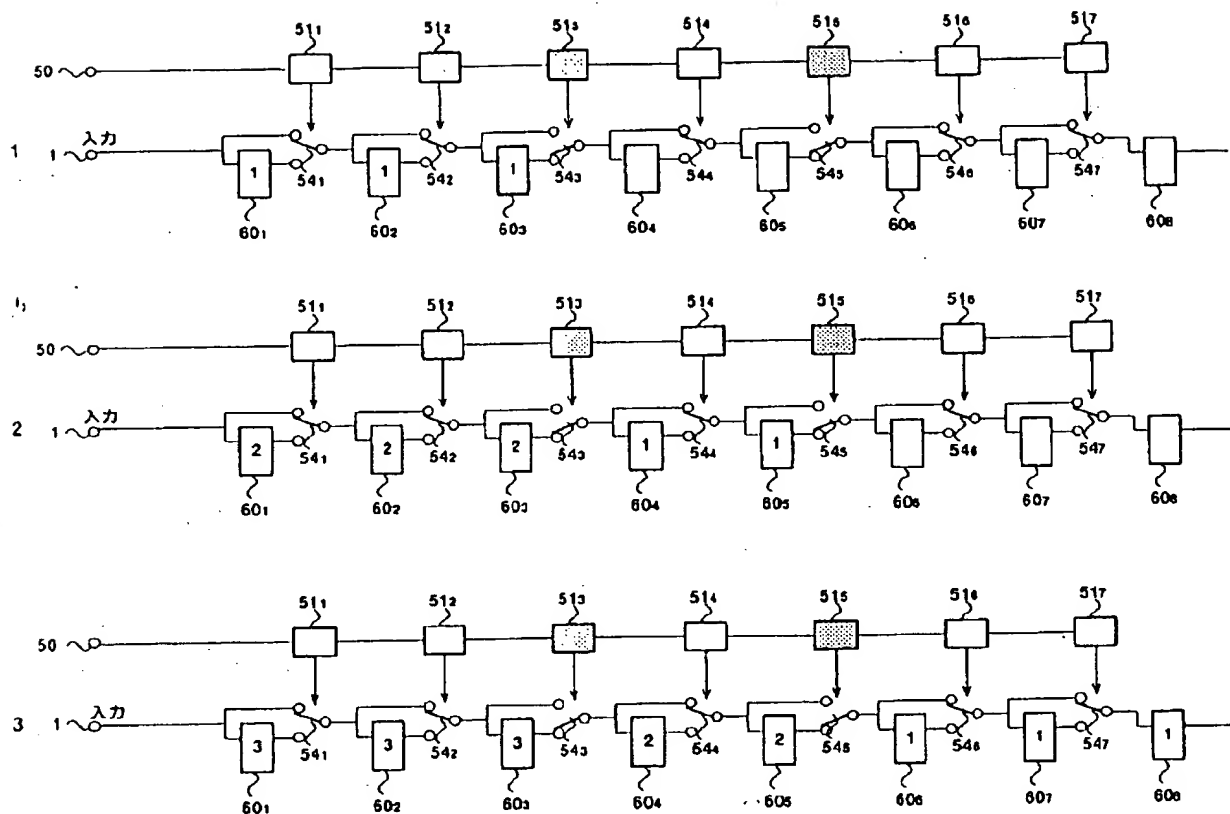
【図8】



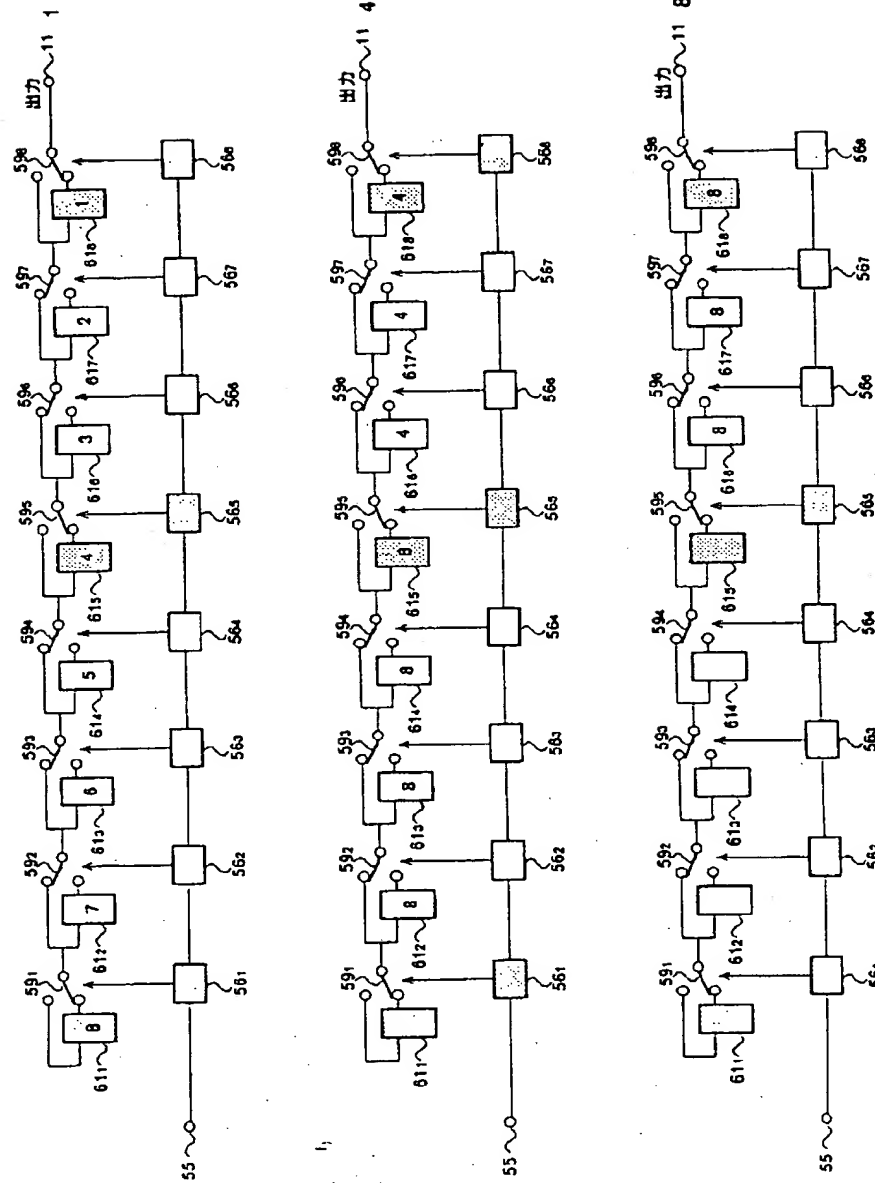
【図9】



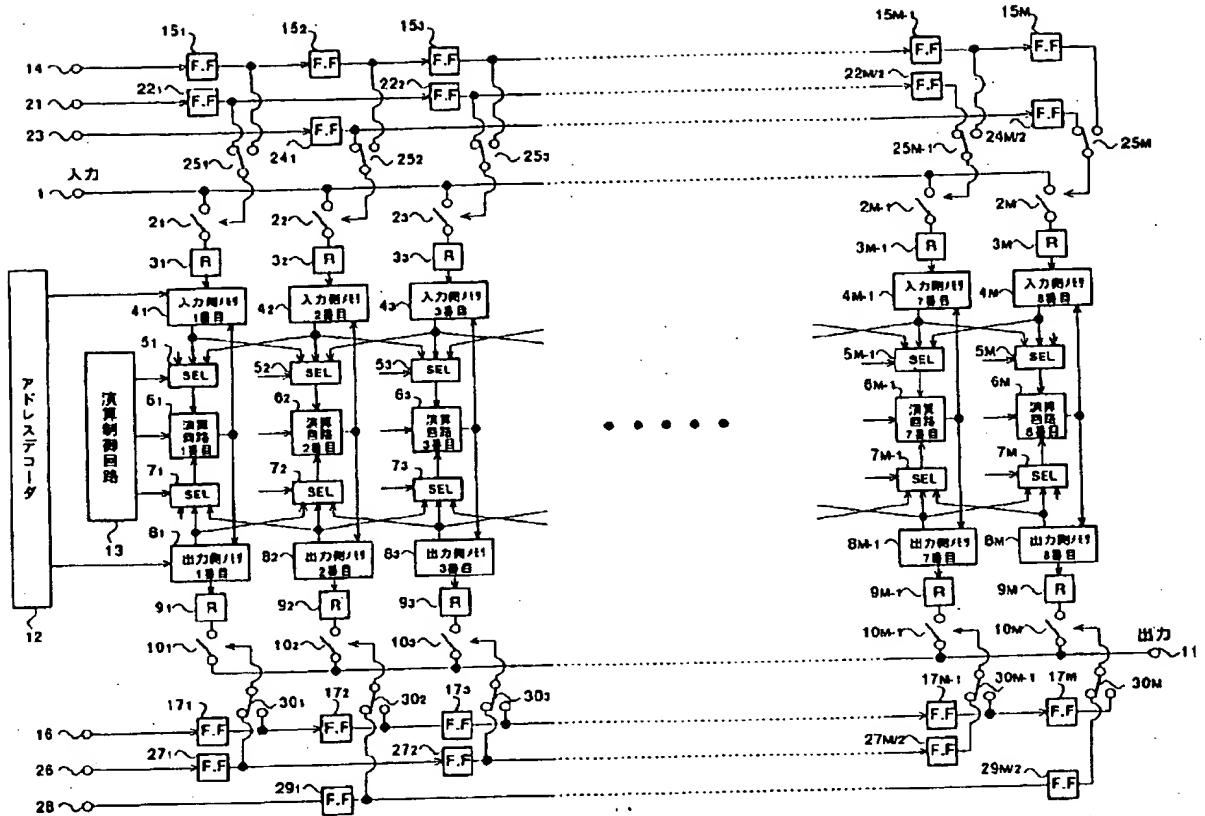
【図10】



【図11】



【図12】



【図13】

